

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

#2  
J1040 U.S. PTO  
09/803509  
03/09/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 3月10日

出願番号

Application Number:

特願2000-067585

出願人

Applicant(s):

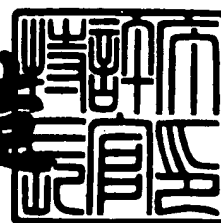
シャープ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 1月19日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3112525

【書類名】 特許願

【整理番号】 99J03803

【提出日】 平成12年 3月10日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G02F 1/133

【発明の名称】 データ伝送方法、画像表示装置および信号線駆動回路

【請求項の数】 15

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 永田 尚志

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 野口 登

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 水方 勝哉

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ伝送方法、画像表示装置および信号線駆動回路

【特許請求の範囲】

【請求項 1】

行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線をブロックごとに順次導通させることで、データ信号をブロックごとにマトリクス部とデータ授受部との間で伝送するデータ伝送方法において、

上記ブロックのうちの少なくとも 1 組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックを B L 1、遅いほうのブロックを B L 2 とし、上記 B L 1、B L 2 にそれぞれ属し、互いに隣接している信号線をそれぞれ S L 1、S L 2 とするとき、

一水平期間内に、その行で、B L 1 への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通として S L 2 を導通させることを特徴とするデータ伝送方法。

【請求項 2】

行方向の走査線と列方向の信号線とがマトリクス状に形成され、データ信号が表す画像をこのマトリクス上の画素にて表示する画像表示装置に対し、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線の電位をブロックごとに順次基準電圧に対して極性反転させることで、データ信号をブロックごとにデータ授受部から上記画素に伝送するデータ伝送方法において、

上記ブロックのうちの少なくとも 1 組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックを B L 1、遅いほうのブロックを B L 2 とし、上記 B L 1、B L 2 にそれぞれ属し、互いに隣接している信号線をそれぞれ S L 1、S L 2 とするとき、

一水平期間内に、その行で、B L 1 への、上記データ信号を印加するための導

通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通として S L 2 の電位を上記基準電圧に対して極性反転させることを特徴とするデータ伝送方法。

【請求項 3】

上記一水平期間内において、B L 1 への上記データ信号の印加終了時期に先立って、複数のブロックの信号線を同時に導通させることを特徴とする請求項 1 または 2 に記載のデータ伝送方法。

【請求項 4】

B L 2 で上記予行の導通を行っている間は、その予行の導通を行っている B L 2 の信号線には、信号線に印加されるデータ信号のうちの最大値と最小値との中間の信号強度を持ったデータ信号を印加することを特徴とする請求項 1 または 2 に記載のデータ伝送方法。

【請求項 5】

上記一水平期間内において、B L 1 の正規の導通期間中に、B L 2 での上記予行の導通を行うことを特徴とする請求項 1 または 2 に記載のデータ伝送方法。

【請求項 6】

上記一水平期間内において、B L 1 の正規の導通の終了時期に B L 2 での上記予行の導通を終了し、引き続き、B L 2 で正規の導通を行うことを特徴とする請求項 5 に記載のデータ伝送方法。

【請求項 7】

行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線をブロックごとに順次導通させることで、データ信号をブロックごとにマトリクス部とデータ授受部との間で伝送するデータ伝送方法において、

時系列で連続的に入力されて信号線 n 本分にあたる 1 ブロック分の入力データを、n 個のサンプリング部でサンプリングして n 個のサンプリングデータとしてそれぞれ蓄積後、該当する信号線へそれぞれ出力し、

上記 n 個のサンプリング部をグループ分けし、

上記ブロックのうち、同一の走査線について上記入力データのサンプリング順序が2番目以降であるものの一つをBL2とし、

上記ブロックBL2の最初のサンプリングデータDb1が入力されるサンプリング部を有するグループをGRaとするとき、

上記グループGRaが、同一の走査線について上記ブロックBL2よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータDb1が入力されるまでに、グループGRa内に、上記サンプリングデータDb1を蓄積するための空のサンプリング部を用意することを特徴とするデータ伝送方法。

【請求項8】

上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とするとき、

上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有しており、

あるグループGR1で、ブロックBL1の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれぞれ蓄積していき、

その蓄積が終われば、次のサンプリングデータについて別のグループで蓄積を開始し、その後、上記グループGR1で次のブロックBL2のサンプリングデータの蓄積を開始するまでに、上記グループGR1で、次の蓄積先となる系統を、現在蓄積データのない系統へと切り替えることを特徴とする請求項7に記載のデータ伝送方法。

【請求項9】

上記グループのうちの一つをGR1とするとき、

少なくともこのグループGR1でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループGR1で蓄積したサンプリングデータを出力することを特徴とする請求項7に記載のデータ伝送方法。

【請求項10】

行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内

に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線をブロックごとに順次導通させることで、データ信号をブロックごとにマトリクス部とデータ授受部との間で伝送するデータ伝送方法において、

上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とし、上記BL1、BL2にそれぞれ属し、互いに隣接している信号線をそれぞれSL1、SL2とするとき、

一水平期間内に、その行で、BL1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、SL2への上記データ信号の印加を開始することを特徴とするデータ伝送方法。

#### 【請求項11】

行方向の走査線と列方向の信号線とがマトリクス状に形成され、データ信号が表示画像をこのマトリクス上の画素にて表示する画像表示装置に対し、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線の電位をブロックごとに順次基準電圧に対して極性反転させることで、データ信号をブロックごとにデータ授受部から上記画素に伝送するデータ伝送方法において、

上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とし、上記BL1、BL2にそれぞれ属し、互いに隣接している信号線をそれぞれSL1、SL2とするとき、

一水平期間内に、その行で、BL1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、SL2への上記データ信号の印加を開始することを特徴とするデータ伝送方法。

#### 【請求項12】

行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線

に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線の電位をブロックごとに順次基準電圧に対して極性反転させることで、データ信号をブロックごとにデータ授受部からマトリクス上の画素に伝送し、上記データ信号が表す画像を上記画素にて表示する画像表示装置において、

請求項 1 ないし 1 1 のいずれかに記載のデータ伝送方法を用いてデータ授受部からマトリクス上の画素にデータ信号を伝送することを特徴とする画像表示装置

### 【請求項 1 3】

上記データ授受部として、請求項 1 2 に記載の画像表示装置に上記データ信号を伝送する信号線駆動回路において、

時系列で連続的に入力されて信号線  $n$  本分にあたる 1 ブロック分の入力データを、 $n$  個のサンプリング部でサンプリングして  $n$  個のサンプリングデータとしてそれぞれ蓄積後、該当する信号線へそれぞれ出力し、

上記  $n$  個のサンプリング部をグループ分けし、

上記ブロックのうち、同一の走査線について上記入力データのサンプリング順序が 2 番目以降であるものの一つを  $BL2$  とし、

上記ブロック  $BL2$  の最初のサンプリングデータ  $D_{b1}$  が入力されるサンプリング部を有するグループを  $GRa$  とするとき、

上記グループ  $GRa$  が、同一の走査線について上記ブロック  $BL2$  よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータ  $D_{b1}$  が入力されるまでに、グループ  $GRa$  内に、上記サンプリングデータ  $D_{b1}$  を蓄積するための空のサンプリング部を用意するタイミングを規定するグループ制御信号をグループごとに生成することを特徴とする信号線駆動回路。

### 【請求項 1 4】

上記ブロックのうちの少なくとも 1 組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックを  $BL1$ 、遅いほうのブロックを  $BL2$  とするとき、

上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有



しており、

あるグループGR1で、ブロックBL1の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれぞれ蓄積していき、

その蓄積が終われば、次のサンプリングデータについて別のグループで蓄積を開始し、その後、上記グループGR1で次のブロックBL2のサンプリングデータの蓄積を開始するまでに、上記グループGR1で、次の蓄積先となる系統を、現在蓄積データのない系統へと切り替えるタイミングを規定する信号を上記グループ制御信号として生成することを特徴とする請求項13に記載の信号線駆動回路。

【請求項15】

上記グループのうちの一つをGR1とするとき、

少なくともこのグループGR1でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループGR1で蓄積したサンプリングデータを出力するタイミングを規定する信号を上記グループ制御信号として生成することを特徴とする請求項13に記載の信号線駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置等に備えられるアクティブマトリクス基板等のマトリクス基板を用いてデータ伝送を行うデータ伝送方法、画像表示装置および信号線駆動回路に関するものである。

【0002】

【従来の技術】

信号線および走査線をマトリクス状に設けた表示部や受光部等の素子と、他の素子との間でデータをやりとりするデータ伝送装置が種々用いられている。

【0003】

例えば、液晶表示装置等の表示装置に用いられるアクティブマトリクス基板においては、画素に表示信号を供給する信号線、および画素ごとに設けられたスイッチング素子を駆動する走査線を有している。そして、これらを駆動するために

、外部駆動回路（信号線駆動回路、走査線駆動回路）を装着している。

【0004】

その際、以前は、これらを駆動するために信号線および走査線の本数と同数の出力端をもつように外部駆動回路を装着していた。しかし、外部回路の点数を減らし、また実装にかかるコストを低減するために、ICの数を半分や3分の1に減らし、これを分岐して信号線スイッチング素子によって選択して信号供給する方法が考えられた。具体的には、例えば、特開平8-234237号公報に開示されているように、走査線をブロックに分け、一垂直期間を時分割して走査信号を各ブロックに順次印加するように、走査信号の印加先のブロックを時間と共に切り替えるようにしている。

【0005】

【発明が解決しようとする課題】

上記従来 of 構造には、境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じるという問題点がある。

【0006】

例えば表示装置の場合であれば、信号線と画素電極との寄生容量によって、ブロック切り替え時に、ブロックの境目に当たる信号線および画素が揺動を受け、境界線が視認されるという問題点がある。この原理を、図26に示すタイミングチャート、および、本発明の構成図である図1を用いて説明する。なお、実際には、図に示した以外にも同様に多くの信号線およびそれらに対応するだけの各部材が設けられているが、ここでは、説明の便宜上簡略化している。ここでは画面全体を黒表示するために、信号線駆動回路1の出力端にそれぞれ対応している出力線 $s_1 \sim s_4$ から最大振幅の信号が供給されている場合を例に説明する。

【0007】

信号線 $f'$ 、 $f$ 、 $a$ 、 $b$ により1つのブロック（第1ブロックと称する）が構成されている。また、信号線 $c$ 、 $d$ 、 $e$ 、 $e'$ により別の1つのブロック（第2ブロックと称する）が構成されている。ある走査線 $g_1$ が選択されている間に、まず、信号線駆動回路1からの信号が信号線 $a$ 、 $b$ に供給される。走査線 $g_1$ が

選択されているため、これらは画素 $A_1$ 、 $B_1$ にそれぞれ書き込まれる。このとき信号線 $c$ 、 $d$ には信号は供給されない。次に、信号線 $a$ 、 $b$ および画素 $A_1$ 、 $B_1$ が保持の状態となり、逆に、信号線駆動回路1からの信号は信号線 $c$ 、 $d$ に供給され、走査線 $g_1$ が選択中であるため、これらは画素 $C_1$ 、 $D_1$ にそれぞれ書き込まれる。なお、ここでは画面全体を黒表示した場合を例にとっているため、信号線 $a \sim d$ には同一信号が供給されているが、通常は、上記一つの走査線( $g_1$ )が選択されている間中に、信号線駆動回路1からの信号は切り替えられる。

#### 【0008】

ところで、画素電極と信号線の間には寄生容量 $C_{sd}$ が存在する。図1には画素 $A_1$ 、 $B_1$ 、 $C_1$ 、 $D_1$ 、 $A_2$ 、 $B_2$ 、 $C_2$ 、 $D_2$ 部分のみの $C_{sd}$ を記しているが、それぞれの信号線には信号線に沿った画素の数だけの $C_{sd}$ が付加されているため、実際には信号線全体の静電容量と比べて無視できないだけの容量が存在することになる。ここで、信号の印加先が第1ブロックから第2ブロックに切り替わったとき、図26に示すように信号線 $c$ の電位が極性反転する。信号線 $b$ は画素電極( $B_2$ をはじめとして信号線方向の複数画素)を介して信号線 $c$ と容量結合しているため、信号線 $c$ の極性反転によって信号線 $b$ は少なからず電位が突き上げられる。しかもこのとき走査線 $g_1$ は選択された状態であるため、この突き上げられた電位が画素 $B_1$ に供給され、この状態のまま走査線 $g_1$ が非選択に切り替わる。このような動作がすべての走査線においてもたらされるため、画面全体の表示のうちで信号線 $b$ に相当する1ライン分だけが他の画素よりも高い電圧が供給された形となり、より黒いラインとして視認されることになるという問題が生じてしまう。

#### 【0009】

ここでは簡単のため2ブロックにわけての駆動について記載したが、たとえば画面全体を4ブロックにわけて駆動している場合は、それぞれのブロックの境目に、あわせて3本の黒いラインが視認されるという問題となる。

#### 【0010】

上記問題は、このような表示装置以外の場合、例えばX線センサの場合にも当

てはまる。すなわち、基板上に信号線と走査線とをマトリクス状に形成し、そこに複数の光検出素子を設けた光検出部を備える。その光検出部でX線を検知して電気信号に変換し、その信号を信号線を介して外部の表示装置などに伝送する。この場合でも、上記同様に信号線をブロックに分けて信号を伝送すると、やはり境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じる。

#### 【0011】

##### 【課題を解決するための手段】

上記の課題を解決するため、本発明のデータ伝送方法は、行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線をブロックごとに順次導通させることで、データ信号をブロックごとにマトリクス部とデータ授受部との間で伝送するデータ伝送方法において、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とし、上記BL1、BL2にそれぞれ属し、互いに隣接している信号線をそれぞれSL1、SL2とするとき、一水平期間内に、その行で、BL1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通としてSL2を導通させることを特徴としている。

#### 【0012】

上記の構成により、一水平期間内において、その行で、BL1への正規の導通としての上記データ信号の印加終了時期に先立って、BL2に属する信号線のうち少なくともSL2を予行の導通として導通させる。例えば、SL2を含めて、BL2に属する全ての信号線を導通させればよい。信号線の電位を基準電圧に対して極性反転させる交流駆動の場合は、BL1への正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通として、少なくともSL2の電位を上記基準電圧に対して極性反転させる。すなわち、一水平期間内に、その行で

、少なくとも一つのブロックの導通が終了する前に、その次に導通させることになっているブロックの信号線を一旦導通させる。また、交流駆動の場合は、B L 2 の信号線が、B L 1 の正規の極性反転の前に、予行の極性反転としてあらかじめ極性反転させるということである。

【 0 0 1 3 】

したがって、上記の予行の導通によってブロック B L 1 は電位の突き上げを受けて電位が揺動するが、その後、正規の導通が行われ、B L 1 への正しい電位が印加されるので、揺動が修復される。その後、B L 1 へのデータ信号印加が終了し、B L 1 ではこの正しい電位に基づきデータ信号を維持・伝送することになる。それゆえ、ブロックの境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じるのを、効果的に防止することができる。表示装置の場合であれば、境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらない。それゆえ、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができる。

【 0 0 1 4 】

例えば、B L 2 で上記予行の導通を行っている間は、その予行の導通を行っている B L 2 の信号線には、その行が選択されている間においてその信号線に正規の導通時期に印加される信号を印加する。このようにすれば、B L 2 で上記予行の導通を行っている信号線には、予行の導通時期にも、正規の導通時期にも、本来印加されるべき、同一の信号が印加される。その結果、それら二つの信号に電位差が生じない。したがって、B L 1 内の信号線は、このような電位差によって電位の突き下げを受けることがない。それゆえ、上記の構成による効果に加えて、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは電位が異なるという不具合を、よりいっそう軽減することができる。

【 0 0 1 5 】

また、本発明のデータ伝送方法は、行方向の走査線と列方向の信号線とがマトリクス状に形成され、データ信号が表す画像をこのマトリクス上の画素にて表示

する画像表示装置に対し、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線の電位をブロックごとに順次基準電圧に対して極性反転させることで、データ信号をブロックごとにデータ授受部から上記画素に伝送するデータ伝送方法において、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをB L 1、遅いほうのブロックをB L 2とし、上記B L 1、B L 2にそれぞれ属し、互いに隣接している信号線をそれぞれS L 1、S L 2とすると、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通としてS L 2の電位を上記基準電圧に対して極性反転させることを特徴としている。

## 【 0 0 1 6 】

上記の構成により、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通としてS L 2の電位を上記基準電圧に対して極性反転させる。例えば、S L 2を含めて、B L 2に属する全ての信号線の電位を上記基準電圧に対して極性反転させればよい。つまり、信号線の電位を基準電圧に対して極性反転させる交流駆動において、B L 1への正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通として、少なくともS L 2の電位を上記基準電圧に対して極性反転させる。すなわち、一水平期間内に、その行で、少なくとも一つのブロックの導通が終了する前に、その次に導通させることになっているブロックの信号線の電位を上記基準電圧に対して極性反転させる。つまり、交流駆動において、B L 2の信号線が、B L 1の正規の極性反転の前に、予行の極性反転としてあらかじめ極性反転させるということである。

## 【 0 0 1 7 】

したがって、上記の予行の導通によってブロックB L 1は電位の突き上げを受けて電位が揺動するが、その後、正規の導通が行われ、B L 1への正しい電位が印加されるので、揺動が修復される。その後、B L 1へのデータ信号印加が終了

し、B L 1 ではこの正しい電位に基づきデータ信号を維持・伝送することになる。それゆえ、ブロックの境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じるのを、効果的に防止することができる。その結果、表示装置において、境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらない。それゆえ、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができる。

【 0 0 1 8 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記一水平期間内において、B L 1 への上記データ信号の印加終了時期に先立って、複数のブロックの信号線を同時に導通させることを特徴としている。

【 0 0 1 9 】

上記の構成により、上記一水平期間内において、B L 1 への上記データ信号の印加終了時期に先立って、複数のブロックの信号線を同時に導通させる。交流駆動であれば、B L 1 への上記データ信号の印加終了時期に先立って、複数のブロックの信号線の電位を、同時に、上記基準電圧に対してそれぞれ極性反転させる。

【 0 0 2 0 】

したがって、多くのブロックに分けての駆動である場合でも、予行の極性反転等の予行の導通時期が共通であるため、全体として、予行の導通のために要する時間が長くなりすぎることがなく、正規の極性反転等の正規の導通を行うのに際して時間的なロスを軽減できる。それゆえ、上記の構成による効果に加えて、余裕を持って信号印加ができるので、データ伝送処理品質を向上させることができる。

【 0 0 2 1 】

また、本発明のデータ伝送方法は、上記の構成に加えて、B L 2 で上記予行の導通を行っている間は、その予行の導通を行っている B L 2 の信号線には、信号線に印加されるデータ信号のうちの最大値と最小値との中間の信号強度を持った

データ信号を印加することを特徴としている。

【 0 0 2 2 】

上記の構成により、B L 2 で上記予行の導通を行っている間は、その予行の導通を行っている B L 2 の信号線には、信号線に印加されるデータ信号のうちの最大値と最小値との中間の信号強度を持ったデータ信号を印加する。例えば表示装置であれば、データ処理部としての画素に、黒表示と白表示との中間である中間調のデータ信号が印加される。この結果、B L 1 内の信号線は、このような中間的なデータ信号の場合に微少な電位差によって電位の著しい突き下げを受けることがなくなる。一般に、例えば表示装置であれば、電位同士の微少な差異に対する表示上の視認性の差は、データ信号のうちの最大値と最小値との中間（中間調）の信号強度を持った信号のときに最も目立つ。したがって、上記の構成によれば、このような、差の最も目立ちやすい場合でも表示状態の差が生じるのを効果的に抑制できる。それゆえ、上記の構成による効果に加えて、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは電位が異なるという不具合を、よりいっそう軽減することができる。

【 0 0 2 3 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記一水平期間内において、B L 1 の正規の導通期間中に、B L 2 での上記予行の導通を行うことを特徴としている。

【 0 0 2 4 】

上記の構成により、上記一水平期間内において、B L 1 の正規の導通期間中に、B L 2 での上記予行の導通を行う。

【 0 0 2 5 】

したがって、多くのブロックに分けての駆動である場合でも、予行の極性反転等の予行の導通時期が他のブロックの正規の極性反転等の正規の導通期間中であるため、全体として、予行の導通のために要する時間が長くなりすぎることがなく、正規の導通を行うのに際して時間的なロスを軽減できる。それゆえ、上記の構成による効果に加えて、余裕を持って信号印加ができるので、データ伝送処理品質を向上させることができる。



## 【 0 0 2 6 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記一水平期間内において、B L 1 の正規の導通の終了時期に B L 2 での上記予行の導通を終了し、引き続き、B L 2 で正規の導通を行うことを特徴としている。

## 【 0 0 2 7 】

上記の構成により、上記一水平期間内において、B L 1 の正規の導通の終了時期に B L 2 での上記予行の導通を終了し、引き続き、B L 2 で正規の導通を行う。これは、各ブロックの正規の導通期間が重なりを持って少しずつずれることで、B L 2 での正規の導通期間（各制御配線の O N の期間）を、B L 1 での正規の導通期間と重なる予行の導通期間と B L 1 での正規の導通期間が終わった後の B L 2 の正規の導通期間とに分けたものとも考えることもできる。

## 【 0 0 2 8 】

したがって、実際には、正規の導通期間の開始時期・終了時期を規定するための信号のタイミングを若干変更するだけでこのような構成を実現でき、予行の導通期間の開始時期・終了時期を規定するための信号を新たに作り出す必要がないことになる。それゆえ、上記の構成による効果に加えて、このように駆動するための装置の構成を簡素化することができる。

## 【 0 0 2 9 】

また、本発明のデータ伝送方法は、行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線をブロックごとに順次導通させることで、データ信号をブロックごとにマトリクス部とデータ授受部との間で伝送するデータ伝送方法において、時系列で連続的に入力されて信号線 n 本分にあたる 1 ブロック分の入力データを、n 個のサンプリング部でサンプリングして n 個のサンプリングデータとしてそれぞれ蓄積後、該当する信号線へそれぞれ出力し、上記 n 個のサンプリング部をグループ分けし、上記ブロックのうち、同一の走査線について上記入力データのサンプリング順序が 2 番目以降であるものの一つを B L 2 とし、上記ブロック B L 2 の最初のサンプリングデータ D b 1 が入力されるサンプリ

ング部を有するグループをGRaとすると、上記グループGRaが、同一の走査線について上記ブロックBL2よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータDb1が入力されるまでに、グループGRa内に、上記サンプリングデータDb1を蓄積するための空のサンプリング部を用意することを特徴としている。

## 【 0 0 3 0 】

例えば、上記n個のサンプリング部を、サンプリング部内の系統切り替えを行う時期の同じもの同士でグループに分けることができる。また、上記n個のサンプリング部を、上記信号線のブロック1つに対して出力するデータ信号について出力する時期の同じもの同士でグループに分けることができる。

## 【 0 0 3 1 】

もし、グループに分けない場合は、上記信号線のブロック1つに対して出力するデータ信号について、まず1番目からn番目までのデータ信号をサンプリングし、それが済んでから、再び1番目のデータ信号をサンプリングする前に、サンプリングが済んでいる上記1番目からn番目までのデータ信号を信号線に転送またはラッチすることになる。そのため、この転送またはラッチのための時間が必要となる。この結果、時間的に連続したデータ信号、すなわち、一定の時間間隔で次々に入力されてくるデータ信号を伝送しようとする、この転送またはラッチのための時間がデータ信号の供給間隔と比べて無視できない場合には、サンプリングが追いつかず、データ信号の取りこぼしが生じてしまう。あるいは、伝送すべきデータ信号に、この時間を考慮して指標的な信号を盛り込む等、データ信号になんらかの工夫をする必要が生じる。

## 【 0 0 3 2 】

これに対し、上記本発明の構成によれば、時系列で連続的に入力されて信号線n本分にあたる1ブロック分の入力データを、n個のサンプリング部でサンプリングしてn個のサンプリングデータとしてそれぞれ蓄積後、該当する信号線へそれぞれ出力し、上記n個のサンプリング部をグループ分けし、上記ブロックのうち、同一の走査線について上記入力データのサンプリング順序が2番目以降であるものの一つをBL2とし、上記ブロックBL2の最初のサンプリングデータD

b 1 が入力されるサンプリング部を有するグループを G R a とするとき、上記グループ G R a が、同一の走査線について上記ブロック B L 2 よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータ D b 1 が入力されるまでに、グループ G R a 内に、上記サンプリングデータ D b 1 を蓄積するための空のサンプリング部を用意する。

#### 【 0 0 3 3 】

したがって、信号線への入力線が n 本ある（そのため信号線は n の整数倍の本数が存在する）場合に、n 番目のデータ信号をサンプリングした後に、再び 1 番目のデータ信号をサンプリングする前に、サンプリングが済んでいるデータ信号を信号線に転送またはラッチするための時間が不要になる。そのため、この転送またはラッチのための時間に応じてデータ信号を特に加工しておくことが不要となる。それゆえ、簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができる。

#### 【 0 0 3 4 】

上記用意のために、適宜、上記用意動作を行うタイミングを示すグループ制御信号を出力し、用いることができる。このようなグループ制御信号は、例えば、各サンプリング部においてデータ信号を蓄積する系統を複数個（A 系統、B 系統等）用意し、これらの系統間で、データ信号の蓄積先を空の系統へ切り替えるタイミングを示すグループ制御信号（系統切り替えタイミング信号）である。また例えば、蓄積したサンプリングデータを、別のグループが別のサンプリングデータの入力・蓄積動作を行っている間に転送またはラッチして出力する出力タイミングを示すグループ制御信号（出力タイミング信号）である。

#### 【 0 0 3 5 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記ブロックのうちの少なくとも 1 組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックを B L 1、遅いほうのブロックを B L 2 とするとき、上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有しており、あるグループ G R 1 で、ブロック B L 1 の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれ

ぞれ蓄積していき、その蓄積が終われば、次のサンプリングデータについて別のグループで蓄積を開始し、その後、上記グループGR1で次のブロックBL2のサンプリングデータの蓄積を開始するまでに、上記グループGR1で、次の蓄積先となる系統を、現在蓄積データの無い系統へと切り替えることを特徴としている。

## 【 0 0 3 6 】

上記の構成により、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とすると、上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有しており、あるグループGR1で、ブロックBL1の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれぞれ蓄積していき、その蓄積が終われば、次のサンプリングデータについて別のグループで蓄積を開始し、その後、上記グループGR1で次のブロックBL2のサンプリングデータの蓄積を開始するまでに、上記グループGR1で、次の蓄積先となる系統を、現在蓄積データの無い系統へと切り替える。この切り替えは、グループごとに同時に行うようにすればよい。

## 【 0 0 3 7 】

例えば、グループごとに上記サンプリングデータを各サンプリング部内の複数系統の一つに蓄積し、一つの系統での蓄積が終われば、次の蓄積先となる系統を、現在蓄積データの無い系統へと、グループごとに同時に切り替え、あるグループが上記系統切り替えを行っている間に入力される入力データを、別のグループで、例えばそのとき上記系統切り替えを行っていない別のグループで、サンプリングするようにすることができる。

## 【 0 0 3 8 】

また、例えば、同一の走査線についてサンプリング時期が上記ブロックBL2の一つ前であるブロックBL1に対するデータ信号のうち、最後にサンプリングされるデータ信号を、あるグループのある系統Aに蓄積し、このグループが系統Bへと上記系統切り替えを行っている間に、別の上記グループGRaで、上記ブ

ロック B L 2 の最初のサンプリングデータ D b 1 を蓄積する。グループ内のある系統に蓄積済みのサンプリングデータの出力は、そのグループの別の系統にサンプリングデータを蓄積している間に行うようにすることができる。あるいは、そのグループのどの系統でも蓄積を行っていない期間があれば、その期間に出力するようにすることもできる。

## 【 0 0 3 9 】

したがって、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出力を系統間で切り替えるものであっても、蓄積処理を行うグループを切り替えて他のグループでその間のデータ信号を確実にサンプリングすることができ、データの取りこぼしを確実に防ぐことができる。それゆえ、上記の構成による効果に加え、より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができる。

## 【 0 0 4 0 】

上記切り替えのために、適宜、上記切り替え動作を行うタイミングを示すグループ制御信号を出力し、用いることができる。このようなグループ制御信号は、例えば、各サンプリング部においてデータ信号を蓄積する系統を複数個（A系統、B系統等）用意し、これらの系統間で、データ信号の蓄積先を空の系統へ切り替えるタイミングを示すグループ制御信号（系統切り替えタイミング信号）である。このようにして、上記グループ制御信号のタイミングにてサンプリング信号を切り替える。

## 【 0 0 4 1 】

また、本発明のデータ伝送方法は、上記構成において、上記グループのうちの一つを G R 1 とするとき、少なくともこのグループ G R 1 でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループ G R 1 で蓄積したサンプリングデータを出力することを特徴としている。

## 【 0 0 4 2 】

上記の構成により、上記グループのうちの一つを G R 1 とするとき、少なくともこのグループ G R 1 でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループ G R 1 で蓄積したサンプリングデータ

を出力する。

【 0 0 4 3 】

したがって、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出力を系統間で切り替える必要がなく、切り替えのための時間が不要である。それゆえ、上記の構成による効果に加え、より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができる。

【 0 0 4 4 】

例えば、一つのグループがデータ信号をサンプリングしている間、別のグループから、すでにそのグループでサンプリングされた信号を信号線へと転送またはラッチする構成とし、そして、このように転送またはラッチするタイミングを規定するグループ制御信号を出力するように構成することができる。例えば、上記信号線のブロック1つに対して出力するデータ信号について出力する時期の同じもの同士でグループに分け、上記グループのうちの2つ、例えば上記データ信号の出力順序が連続している2つについて、出力時期が早いほうをGR1、遅いほうをGR2とすると、GR2でデータ信号をサンプリングしている間、GR1から、すでにそのグループGR1でサンプリングされた信号を信号線へと転送またはラッチすることで、グループごとに順次上記データ信号を上記信号線のブロック1つに対して出力するように構成することができる。

【 0 0 4 5 】

上記出力のために、適宜、上記出力動作を行うタイミングを示すグループ制御信号を出力し、用いることができる。このようなグループ制御信号は、例えば、蓄積したサンプリングデータを、別のグループが別のサンプリングデータの入力・蓄積動作を行っている間に転送またはラッチして出力する出力タイミングを示すグループ制御信号（出力タイミング信号）である。このようにして、少なくとも2グループ以上のラインを、異なるグループ制御信号によりそれぞれ独立して制御するようにすればよい。すなわち、1つのグループGR1では、サンプリングおよび転送またはラッチするタイミングをあるグループ制御信号（CNTaとする）で規定し、別のグループGR2では、サンプリングおよび転送またはラッチするタイミングを別のあるグループ制御信号（CNTbとする）で規定するよ

うにすればよい。

【 0 0 4 6 】

また、本発明のデータ伝送方法は、行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線をブロックごとに順次導通させることで、データ信号をブロックごとにマトリクス部とデータ授受部との間で伝送するデータ伝送方法において、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをB L 1、遅いほうのブロックをB L 2とし、上記B L 1、B L 2にそれぞれ属し、互いに隣接している信号線をそれぞれS L 1、S L 2とすると、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、S L 2への上記データ信号の印加を開始することを特徴としている。

【 0 0 4 7 】

例えば、交流駆動であれば、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための正規の導通としての正規の極性反転の終了時期に先立って、S L 2への上記データ信号の印加のための正規の極性反転を開始する構成とすることができる。

【 0 0 4 8 】

上記の構成により、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、S L 2への上記データ信号の印加を開始する。すなわち、B L 2の各信号線が、正規の導通を、B L 1へのデータ信号印加終了よりも前に開始することで、あらかじめ導通される。

【 0 0 4 9 】

したがって、この導通時期により、ブロックB L 1は電位の突き上げを受けて電位が揺動するが、その後もしばらくは、B L 1へのデータ信号印加はまだ続いているので、その間に、B L 1でのこの電位の揺動が修復される。その後、B L

1 へのデータ信号印加が終了し、B L 1 ではこの正しい電位を維持・伝送することができる。それゆえ、境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じるのを、効果的に防止することができる。

#### 【 0 0 5 0 】

表示装置の場合であれば、境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらない。それゆえ、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができる。

#### 【 0 0 5 1 】

また、このように誤差をなくすためにあらかじめ通常より早いタイミングで導通しているが、通常の導通期間の開始時期・終了時期を規定するための信号のタイミングを若干変更するだけでこのような構成を実現でき、そのような早い導通専用の開始時期・終了時期を規定するための信号を新たに作り出す必要がないことになる。それゆえ、このように駆動するための装置の構成を簡素化することができる。

#### 【 0 0 5 2 】

また、本発明のデータ伝送方法は、行方向の走査線と列方向の信号線とがマトリクス状に形成され、データ信号が表す画像をこのマトリクス上の画素にて表示する画像表示装置に対し、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線の電位をブロックごとに順次基準電圧に対して極性反転させることで、データ信号をブロックごとにデータ授受部から上記画素に伝送するデータ伝送方法において、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをB L 1、遅いほうのブロックをB L 2とし、上記B L 1、B L 2にそれぞれ属し、互いに隣接している信号線をそれぞれS L 1、S L 2とすると、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印



加終了時期に先立って、S L 2 への上記データ信号の印加を開始することを特徴としている。

## 【 0 0 5 3 】

つまり、交流駆動において、一水平期間内に、その行で、B L 1 への、上記データ信号を印加するための正規の導通としての正規の極性反転の終了時期に先立って、S L 2 への上記データ信号の印加のための正規の極性反転を開始する構成とすることができる。

## 【 0 0 5 4 】

上記の構成により、一水平期間内に、その行で、B L 1 への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、S L 2 への上記データ信号の印加を開始する。すなわち、B L 2 の各信号線が、正規の導通を、B L 1 へのデータ信号印加終了よりも前に開始することで、あらかじめ導通される。

## 【 0 0 5 5 】

したがって、この導通時期により、ブロック B L 1 は電位の突き上げを受けて電位が揺動するが、その後もしばらくは、B L 1 へのデータ信号印加はまだ続いているので、その間に、B L 1 でのこの電位の揺動が修復される。その後、B L 1 へのデータ信号印加が終了し、B L 1 ではこの正しい電位を維持・伝送することができる。それゆえ、境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じるのを、効果的に防止することができる。

## 【 0 0 5 6 】

その結果、表示装置において、境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらない。それゆえ、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができる。

## 【 0 0 5 7 】

また、このように誤差をなくすためにあらかじめ通常より早いタイミングで導通しているが、通常の導通期間の開始時期・終了時期を規定するための信号のタ

イミングを若干変更するだけでこのような構成を実現でき、そのような早い導通専用の開始時期・終了時期を規定するための信号を新たに作り出す必要がないことになる。それゆえ、このように駆動するための装置の構成を簡素化することができる。

## 【 0 0 5 8 】

また、本発明の画像表示装置は、行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記信号線を複数のブロックに分け、各行において、上記信号線の電位をブロックごとに順次基準電圧に対して極性反転させることで、データ信号をブロックごとにデータ授受部からマトリクス上の画素に伝送し、上記データ信号が表す画像を上記画素にて表示する画像表示装置において、上記いずれかに記載のデータ伝送方法を用いてデータ授受部からマトリクス上の画素にデータ信号を伝送することを特徴としている。

## 【 0 0 5 9 】

上記の構成により、上記のいずれかのデータ伝送方法を用いてデータ授受部からマトリクス上の画素にデータ信号を伝送する。したがって、上記のように境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらない。それゆえ、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができる。

## 【 0 0 6 0 】

また、本発明の信号線駆動回路は、上記データ授受部として、上記画像表示装置に上記データ信号を伝送する信号線駆動回路において、時系列で連続的に入力されて信号線  $n$  本分にあたる 1 ブロック分の入力データを、 $n$  個のサンプリング部でサンプリングして  $n$  個のサンプリングデータとしてそれぞれ蓄積後、該当する信号線へそれぞれ出力し、上記  $n$  個のサンプリング部をグループ分けし、上記ブロックのうち、同一の走査線について上記入力データのサンプリング順序が 2 番目以降であるものの一つを  $BL2$  とし、上記ブロック  $BL2$  の最初のサンプリングデータ  $D b 1$  が入力されるサンプリング部を有するグループを  $GR a$  とする

とき、上記グループGRaが、同一の走査線について上記ブロックBL2よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータDb1が入力されるまでに、グループGRa内に、上記サンプリングデータDb1を蓄積するための空のサンプリング部を用意するタイミングを規定するグループ制御信号をグループごとに生成することを特徴としている。

#### 【0061】

上記の構成により、上記グループGRaが、同一の走査線について上記ブロックBL2よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータDb1が入力されるまでに、グループGRa内に、上記サンプリングデータDb1を蓄積するための空のサンプリング部を用意するタイミングを規定するグループ制御信号をグループごとに生成する。

#### 【0062】

したがって、信号線への入力線がn本ある（そのため信号線はnの整数倍の本数が存在する）場合に、n番目のデータ信号をサンプリングした後に、再び1番目のデータ信号をサンプリングする前に、サンプリングが済んでいるデータ信号を信号線に転送またはラッチするための時間が不要になる。そのため、この転送またはラッチのための時間に応じてデータ信号を特に加工しておくことが不要となる。それゆえ、上記の構成による効果に加え、簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができる。

#### 【0063】

また、本発明の信号線駆動回路は、上記構成において、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とすると、上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有しており、あるグループGR1で、ブロックBL1の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれぞれ蓄積していき、その蓄積が終われば、次のサンプリングデータについて別のグ

ループで蓄積を開始し、その後、上記グループGR1で次のブロックBL2のサンプリングデータの蓄積を開始するまでに、上記グループGR1で、次の蓄積先となる系統を、現在蓄積データの無い系統へと切り替えるタイミングを規定する信号を上記グループ制御信号として生成することを特徴としている。

## 【0064】

上記の構成により、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とすると、上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有しており、あるグループGR1で、ブロックBL1の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれぞれ蓄積していき、その蓄積が終われば、次のサンプリングデータについて別のグループで蓄積を開始し、その後、上記グループGR1で次のブロックBL2のサンプリングデータの蓄積を開始するまでに、上記グループGR1で、次の蓄積先となる系統を、現在蓄積データの無い系統へと切り替える。この切り替えは、グループごとに同時に行うようにすればよい。

## 【0065】

したがって、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出力を系統間で切り替えるものであっても、蓄積処理を行うグループを切り替えて他のグループでその間のデータ信号を確実にサンプリングすることができ、データの取りこぼしを確実に防ぐことができる。それゆえ、上記の構成による効果に加え、より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができる。

## 【0066】

また、本発明の信号線駆動回路は、上記構成において、上記グループの一つをGR1とすると、少なくともこのグループGR1でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループGR1で蓄積したサンプリングデータを出力するタイミングを規定する信号を上記グループ制御信号として生成することを特徴としている。

## 【 0 0 6 7 】

上記の構成により、上記グループのうちの一つをGR1とすると、少なくともこのグループGR1でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループGR1で蓄積したサンプリングデータを出力する。

## 【 0 0 6 8 】

したがって、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出力を系統間で切り替える必要がなく、切り替えのための時間が不要である。それゆえ、上記の構成による効果に加え、より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができる。

## 【 0 0 6 9 】

また、本発明のデータ伝送装置として、行方向の走査線と列方向の信号線とがマトリクス状に形成され、一水平期間内に、そのマトリクス上の位置に対応するデータ信号がその位置に対応する信号線に印加され、上記マトリクス上の画素にデータ信号を伝送して画像を表示する画像表示装置に用いられるものであって、上記信号線を複数のブロックに分け、各行において、上記信号線をブロックごとに順次導通させることで、データ信号をブロックごとにマトリクス部とデータ授受部との間で伝送するデータ伝送装置において、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とし、上記BL1、BL2にそれぞれ属し、互いに隣接している信号線をそれぞれSL1、SL2とすると、一水平期間内に、その行で、BL1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通としてSL2を導通させる導通制御部を備えた構成としてもよい。

## 【 0 0 7 0 】

上記の構成により、一水平期間内において、その行で、BL1への正規の導通としての上記データ信号の印加終了時期に先立って、BL2に属する信号線のうち少なくともSL2を予行の導通として導通させる。例えば、SL2を含めて、

B L 2 に属する全ての信号線を導通させればよい。信号線の電位を基準電圧に対して極性反転させる交流駆動の場合は、B L 1 への正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通として、少なくとも S L 2 の電位を上記基準電圧に対して極性反転させる。したがって、上記のように境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらない。それゆえ、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができる。

## 【 0 0 7 1 】

## 【発明の実施の形態】

## 〔実施の形態 1〕

本発明の実施の一形態について図 1 ないし図 2 0 に基づいて説明すれば、以下の通りである。本実施の形態においては、データ伝送装置は、アクティブマトリクス基板（マトリクス部）であり、走査線、信号線、画素電極を有し、アクティブマトリクス方式で表示駆動される表示装置としての液晶表示装置である。その等価回路を図 1 を参照しながら説明する。

## 【 0 0 7 2 】

画素電極には、それぞれデータ処理部としての画素  $A_1$ 、 $B_1$ 、…が設けられるとともに、図示しない T F T（薄膜トランジスタ）等の画素スイッチング素子が接続されている。これらの画素は液晶で構成され、これらによって液晶パネルが構成され、この液晶パネルにて画像を表示する液晶表示装置が構成されている。なお、実際には、図に示した以外にも同様に多くの信号線およびそれらに対応するだけの各部材が設けられているが、ここでは、説明の便宜上簡略化し、信号線は、 $f'$ 、 $f$ 、 $a$ 、 $b$ 、 $c$ 、 $d$ 、 $e$ 、 $e'$  の 8 本のみを示し、同様に、走査線は、 $g_1$ 、 $g_2$  の 2 本のみを示す。

## 【 0 0 7 3 】

信号線  $f'$ 、 $f$ 、 $a$ 、 $b$  により 1 つのブロック（第 1 ブロックと称する）が構成されている。また、信号線  $c$ 、 $d$ 、 $e$ 、 $e'$  により別の 1 つのブロック（第 2 ブロックと称する）が構成されている。本実施の形態においてはこのように 2 ブ

ロックの構成について説明する。しかしこれに限定されない。

【 0 0 7 4 】

上記信号線  $f'$ 、 $f$ 、 $a$ 、 $b$ 、 $c$ 、 $d$ 、 $e$ 、 $e'$  の端部に同図に示すように信号線スイッチング素子 ( $SWa$ 、 $SWb$ 、 $SWc$ 、 $SWd$  等) を設け、これら素子の他端は、外部回路を装着するための信号入力部としての信号線駆動回路 (データ授受部) 1 と電氣的に接続されており、信号線駆動回路 1 と該スイッチング素子の間には信号線分岐部 7 が設けられている。信号線スイッチング素子は CMOS トランジスタで構成できるし、場合によっては NMOS トランジスタで構成することもある。また、信号線分岐部 7 は配線を枝分かれさせることで構成できる。

【 0 0 7 5 】

そして、これら信号線スイッチング素子は、信号線駆動回路 1 の出力端から出ている出力線  $s_1$ 、 $s_2$ 、 $s_3$ 、 $s_4$  と電氣的にそれぞれ接続されている。上記信号線スイッチング素子  $SWa$  等の制御端には、信号線スイッチング素子の導通・非導通を切り替える制御配線  $SW_1$  および  $SW_2$  が複数のブロック毎に共通に接続されており、このように切り替えることによって、表示信号として、信号線駆動回路 1 からの画像信号 (データ信号) を、時分割で信号線に供給するようになっている。

【 0 0 7 6 】

つまり、信号線や走査線をブロックに分け、信号線であればある走査線が選択されている間 (走査線の一選択期間、一水平期間)、また走査線であれば一垂直期間を時分割して、データ信号や走査信号を各ブロックに順次印加するように、信号の印加先のブロックを時間と共に切り替えるようにしている。そのなかで、本実施の形態では、信号線をブロックに分け、走査線の一選択期間を時分割して、データ信号を各ブロックに順次印加するように、信号の印加先のブロックを時間と共に切り替えるようにしている。走査線をブロックに分けた場合は、一垂直期間を時分割して、走査信号を各ブロックに順次印加するように、信号の印加先のブロックを時間と共に切り替えるようにすればよい。

【 0 0 7 7 】

上記制御配線  $SW_1$  および  $SW_2$  は、導通制御部によってその出力を制御される。図 1 1 に、このような導通制御部の構成例を示す。HSY は、画像に同期した水平同期信号である。PLL (phase-locked loop) 発振器 2 1 でクロック CLK を生成する。この HSY およびクロック CLK を、H カウンタ (「H」は、ここでは「水平」を表す。) 2 2 でカウントし、そのカウンタの値を元に各デコーダ ( $SW_1$  デコーダ 2 3、 $SW_2$  デコーダ 2 4) で各パルスを作成する。各デコーダは、あらかじめ所定の値がセットされており、その値に従って各パルスを出力する。所定の値は、 $s_1$  など、 $g_2$  など、各画素や、SWa 等の個別のパラメータについて決定し、最適化しておく。

## 【 0 0 7 8 】

図 1 2 に、導通制御部の別の構成例を示す。すなわち、図 1 1 の PLL 発振器 2 1 でクロック CLK を生成する代わりに、HSY と CLK とが H カウンタ 3 1 に入力される。CLK は画像のドットデータに同期している。それ以外は図 1 1 と同様である。

## 【 0 0 7 9 】

次に、信号線駆動回路 1 の構成について述べる。一例を図 1 8 に示す。また、そのタイミングチャートを図 1 9 に示す。図 1 8 に示すように、データ線 DAT の入力から  $S_1$  の出力までで一つのサンプリング回路 (サンプリング部) が構成され、合計  $n$  個のサンプリング回路が設けられている。なお、図では便宜上、代表として、1 番目のサンプリング回路 7 1 および  $n$  番目のサンプリング回路 7 2 のみを描いている。

## 【 0 0 8 0 】

データ線 DAT が  $n$  個のサンプリング回路 (サンプリング部) へと枝分かれし て入力され、各サンプリング回路から、出力端 ( $S_1$  等) を介して信号線へと画像信号が出力されるようになっている。データ線 DAT は、画素に表示すべきデータ信号である画像信号をこの信号線駆動回路 1 に供給するものである。その出力本数を  $n$  とすると ( $n$  ライン出力)、ブロックの個数がこの説明のように 2 個であれば、信号線の本数はそれらの積であるため  $2n$  本となる。そして、データ線 DAT から供給される画像信号は、サンプリング信号 (サンプリングパルス)



$SAM_1$  から  $SAM_n$  までの各タイミングで、1 番目（出力端  $S_1$ ）から  $n$  番目（出力端  $S_n$ ）までサンプリングされ、信号線分岐部 7 にて分岐されて、 $2n$  本の信号線へと画像信号が送られるようになっている。サンプリング信号  $SAM_1$  ～サンプリング信号  $SAM_n$  は、信号線駆動回路 1 内で、シフトレジスタにより作ることができる。

## 【0081】

上記データ線 DAT に、1 番目の出力分として、アナログスイッチ ASWA・ASWB が接続されている。データ線 DAT は、ここでは、アナログ信号を伝える役割を有する。アナログスイッチ ASWA・ASWB は、ともに、データ線 DAT に入力された画像信号をアナログスイッチ ASD に伝えるべく接続されている。また、アナログスイッチ ASWC からの制御により、データ線 DAT からの入力が、ASWA・ASWB の一方のみを介してアナログスイッチ ASD へ送り出されるようになっている。

## 【0082】

データ信号としての画像信号の入力系統のうち、アナログスイッチ ASWC・ASWA・ASD を介するほうを A 系統（図中、DA で示す）と称し、アナログスイッチ ASWC・ASWB・ASD を介するほうを B 系統（図中、DB で示す）と称する。すなわち、データ線 DAT には、A・B、2 系統の信号経路が並列された形となっている。

## 【0083】

アナログスイッチ ASWA とアナログスイッチ ASD との間には、サンプリングホールドコンデンサ  $C_{SHA}$  が配されている。同様に、アナログスイッチ ASWB とアナログスイッチ ASD との間には、サンプリングホールドコンデンサ  $C_{SHB}$  が配されている。RL は基準電位である。

## 【0084】

アナログスイッチ ASWC は、サンプリング信号  $SAM_1$  が入力され、また、コントロール信号 CNT0 で切り替え制御される。

## 【0085】

アナログスイッチ ASD は、出力バッファ Bu へ画像信号を出力し、また、

コントロール信号CNTで切り替え制御される。出力バッファBuからの出力が、1番目の出力端 $S_1$ となる。

## 【0086】

LEVは、図4（および後述の図22）の場合のように、あらかじめ充電されるレベルを、所望の充電電圧にする場合に使用する。つまり、その所望の充電電圧をこの信号LEVに入れるようにするか、あるいは、この信号LEVを切り替えタイミング用の信号として用いて、所望の電圧への切り替え等を行うようにすればよい。これについては後述する。

## 【0087】

2番目以降の出力分も、1番目と同様に行う。

## 【0088】

2n本の信号線を有するアクティブマトリクス基板を駆動するために、以下のような動作が行われる。すなわち、図3の第1ブロック（画面の左半分に表示するデータ）11に相当する表示信号が供給されている間に、シフトレジスタから供給されるサンプリング信号（ $SAM_1 \sim SAM_n$ ）が順次供給される。このとき、コントロール信号CNT0はA系統（図中、DAで示す）を選択している。したがって、アナログスイッチA（ASWA）が導通され、サンプリングホールドコンデンサ（ $C_{SHA}$ ）に第1ブロックのデータ信号が蓄積される。

## 【0089】

そして $SAM_n$ までが選択され終わると、コントロール信号CNT0はB系統（図中、DBで示す）に切り替わり、再びサンプリング信号（ $SAM_1 \sim SAM_n$ ）が順次供給されるとともに、画像信号が供給される。そしてB系統に信号を蓄積する間に、コントロール信号CNTはA系統を選択し、先ほど蓄えたデータ信号を出力する。

## 【0090】

上記の図18の構成では、コントロール信号CNT0がA系統からB系統に切り替わるための一定期間（図19の時刻 $t_5$ 近傍）はA系統・B系統どちらのサンプリングホールドコンデンサにもデータ信号を蓄積することができない。ここで、一般に画像信号は外部から1水平ライン分が時系列的に連続して供給される

。そのため、図 1 8 の構成では、サンプリング系統が A・B 系統間で切り替わるための時間が画像信号の供給間隔と比べて無視できない場合には、第 1 ブロックと第 2 ブロックとの境界のデータ信号が飛んでしまった表示となる。これを回避するためには、画像信号自体になんらかの加工を施すなどして、上記の系統切り替えに要する時間に対応する空白期間を設けるようにする。

#### 【0 0 9 1】

一方、以下の図 5、図 7、図 9 のような構成においては、サンプリング信号  $SAM_n$  の次に連続してサンプリング信号  $SAM_1$  でサンプリングすることになるが、図 1 8 の構成の場合に必要なような、ラッチや転送のための空白期間が不要である。すなわち、水平画素数 1 本分（画像表示装置の 1 水平画素分）をサンプリングするのに、1 つの信号線駆動回路を 2 度以上使う必要があるため、サンプリング信号  $SAM_n$  終了後すぐ連続してサンプリング信号  $SAM_1$  でサンプリングすることになるが、図 1 8 の構成の場合であれば、データ信号の転送等で時間が必要な関係上、 $SAM_n$  と  $SAM_1$  との間に時間間隔が必要であるのに対し、図 5、図 7、図 9 のような構成では、出力本数の前半と後半とでグループ制御信号を異ならせることにより、上記のような空白期間を設けるために画像信号自体に加工を施す等の工夫をすることなく、このような連続したサンプリングを行うことができるようになっている。

#### 【0 0 9 2】

図 5 の構成例について説明する。これは、図 1 8 からサンプリングを制御する信号の構成を変えたものである。なお、図では便宜上、代表として、1 番目のサンプリング回路 1 5 および  $n$  番目のサンプリング回路 1 6 のみを描いている。

#### 【0 0 9 3】

上記のように出力本数を  $n$  とすると（ $n$  ライン出力）、この図 5 の構成では、図 1 8 の構成と異なり、1 番目（ $S_1$ ）から（ $n/2$ ）番目（ $S_{n/2}$ ）までの第 1 のグループと、（ $n/2 + 1$ ）番目（ $S_{n/2+1}$ ）から  $n$  番目（ $S_n$ ）までの第 2 のグループとにグループ分けする。ただしここでは  $n$  は偶数であるとする。そして、1 番目（ $S_1$ ）から（ $n/2$ ）番目（ $S_{n/2}$ ）までは、アナログスイッチ  $ASWC$  は、前半ライン用のグループ制御信号  $CNT a$  で制御され、（ $n/2 +$

1) 番目 ( $S_{n/2+1}$ ) から  $n$  番目 ( $S_n$ ) までは、アナログスイッチ  $ASWC$  は、後半ライン用のグループ制御信号  $CNTb$  で制御される。すなわち、サンプリング信号  $SAM_1 \sim$  サンプリング信号  $SAM_n$  を  $A$  系統・ $B$  系統に切り替えるグループ制御信号が、 $CNTa \cdot CNTb$  の2種類存在する。そして、 $CNTa \cdot CNTb$  とも、この切り替えは、ほぼ  $SAM_{n/2}$  の近辺で行うようになっている。これは、 $SAM_1 \sim SAM_n$  終了後すぐに続けて、 $SAM_1$  からサンプリングするためであり、データ線に入るデータ信号を特に加工する必要をなくするためである。なお、それ以外の構成は図18と同一である。

## 【0094】

図6にタイミングチャートを示す。図中、グループ制御信号  $CNTa \cdot CNTb$  ・コントロール信号  $CNT$  が選択する系統を括弧書きで示す。すなわち、 $A$  系統を選択する期間を ( $DA$ ) で示し、 $B$  系統を選択する期間を ( $DB$ ) で示す。また、 $LEV$  は、同図に示す  $high$  の期間に出力レベルが固定され、その効果は図18の場合と同様である。

## 【0095】

このように、この構成では、図18の構成と異なり、サンプリング信号を2グループに分けるようにしている。すなわち、 $n$  個のサンプリング回路 (サンプリング部) を、グループ制御信号  $CNTa$ 、 $CNTb$  に対応させて、半分ずつ分けて接続する。そして、第1ブロック11 (図3参照) の半分 ( $n/2$  本分) のデータ信号は、そのためのコントロール信号であるグループ制御信号  $CNTa$  における  $A$  系統選択によって  $SAM_1$  から  $SAM_{n/2}$  のタイミングで  $C_{SHA}$  に蓄積される。次に残りの  $n/2$  本分のデータ信号は、 $SAM_{n/2+1}$  から  $SAM_n$  のタイミングで、該当するサンプリング回路の  $C_{SHA}$  に蓄積されるのであるが、そのためのコントロール信号であるグループ制御信号  $CNTb$  は、 $SAM_{n/2+1}$  のタイミングよりもまえもって  $A$  系統を選択している。このようにまえもって選択していても、 $SAM_{n/2+1}$  から  $SAM_n$  が選択されない間はなんら影響を及ぼさない。

## 【0096】

そして、 $SAM_{n/2+1}$  から  $SAM_n$  が選択され始めると、今度はグループ制御

信号CNT aはB系統を選択し、来るべき第2ブロック（画面の右半分に表示するデータ）12の画像信号をホールドする準備ができあがる。もちろん、 $SAM_{n/2+1}$  から  $SAM_n$  の選択の間は、1番目から  $n/2$  番目までのサンプリング回路は待機しているだけであって、実際のサンプリングは行われない。そして  $SAM_n$  までが選択され終わると、再びサンプリング信号（ $SAM_1 \sim SAM_n$ ）が順次供給されるとともに、画像信号が供給される。そしてB系統に信号を蓄積する間にコントロール信号CNTはA系統を選択し、先ほど蓄えたデータ信号を出力する。このような構成により、 $SAM_n$  までのサンプリングが終わって直ちに次のブロックの  $SAM_1$  からのサンプリングを始めることができる。この結果、第1ブロック11の画像信号と第2ブロック12の画像信号とが連続的に送られてくることにより、第1ブロックの信号の  $SAM_n$  までのサンプリングが終わって直ちに第2ブロックのデータ信号が連続的に送られてきても、問題なくデータ信号（画像信号）を取り込むことができる。

## 【0097】

次に、図7の構成例について説明する。これは、図5および図18からサンプリング回路の構成を変えたものである。図では便宜上、代表として、1番目のサンプリング回路17およびn番目のサンプリング回路18のみを描いている。ASWSは、サンプリング用のアナログスイッチである。ASWHは、ホールド用のアナログスイッチである。 $C_S$  は、サンプリングコンデンサである。 $C_H$  は、ホールドコンデンサである。

## 【0098】

グループ分けについては図5と同様である。すなわち、上記のように出力本数をnとすると（nライン出力）、図18の構成と異なり、1番目（ $S_1$ ）から（ $n/2$ ）番目（ $S_{n/2}$ ）までの第1のグループと、（ $n/2+1$ ）番目（ $S_{n/2+1}$ ）からn番目（ $S_n$ ）までの第2のグループとにグループ分けする。ただしここではnは偶数であるとする。そして、1番目（ $S_1$ ）から（ $n/2$ ）番目（ $S_{n/2}$ ）までは、アナログスイッチASWHは、前半ライン用のグループ制御信号CNT aで制御され、（ $n/2+1$ ）番目（ $S_{n/2+1}$ ）からn番目（ $S_n$ ）までは、アナログスイッチASWHは、後半ライン用のグループ制御信号CNT bで

制御される。すなわち、サンプリング信号  $SAM_1 \sim SAM_n$  のサンプリングを制御するグループ制御信号が、 $CNT a \cdot CNT b$  の 2 種類存在する。そして、第 1 のグループの転送は、ほぼ  $SAM_{n/2}$  の近辺で行うようになっている。これは、 $SAM_1 \sim SAM_n$  終了後すぐに続けて、 $SAM_1$  からサンプリングするためであり、データ線に入るデータ信号を特に加工する必要をなくするためである。それ以外については図 1 8 と同様である。

## 【 0 0 9 9 】

図 8 にタイミングチャートを示す。図中、グループ制御信号  $CNT a \cdot CNT b$  により画像信号を転送する期間をそれぞれ  $T_{21}$ 、 $T_{22}$  で示す。また、 $LEV$  は、期間  $T_{23}$  に出力レベルが固定され、その効果は図 1 8 の場合と同様である。

## 【 0 1 0 0 】

このように、この構成では、図 1 8 の構成と異なり、サンプリング信号を 2 グループに分けるようにしている。すなわち、 $n$  個のサンプリング回路（サンプリング部）を、グループ制御信号  $CNT a$ 、 $CNT b$  に対応させて、半分ずつ分けて接続する。そして、第 1 ブロック 1 1（図 3 参照）の半分（ $n/2$  本分）のデータ信号は、 $SAM_1$  から  $SAM_{n/2}$  のタイミングで、該当するサンプリング回路の  $C_H$  に蓄積される。次に残りの  $n/2$  本分のデータ信号は、 $SAM_{n/2+1}$  から  $SAM_n$  のタイミングで、該当するサンプリング回路の  $C_H$  に蓄積される。

## 【 0 1 0 1 】

そして、 $SAM_{n/2+1}$  から  $SAM_n$  が選択されてそのデータ信号が蓄積され始めると、コントロール信号であるグループ制御信号  $CNT a$  によって、 $C_H$  に蓄積した  $SAM_1$  から  $SAM_{n/2}$  のデータ信号が転送され（期間  $T_{21}$ ）、来るべき第 2 ブロック（画面の右半分に表示するデータ）1 2 の画像信号をホールドする準備ができあがる。もちろん、 $SAM_{n/2+1}$  から  $SAM_n$  の選択の間は、1 番目から  $n/2$  番目までのサンプリング回路は待機しているだけであって、実際のサンプリングは行われぬ。そして  $SAM_n$  までは選択され終わると、再びサンプリング信号（ $SAM_1 \sim SAM_n$ ）が順次供給されるとともに、画像信号が供給される。そして、 $SAM_1$  から  $SAM_{n/2}$  が選択されてそのデータ信号が蓄積され始めると、コントロール信号であるグループ制御信号  $CNT b$  によって、 $C_H$

に蓄積した  $SAM_{n/2+1}$  から  $SAM_n$  のデータ信号が転送される（期間  $T_{22}$ ）。このような構成により、 $SAM_n$  までのサンプリングが終わって直ちに次のブロックの  $SAM_1$  からのサンプリングを始めることができる。

#### 【0102】

上記のように、図7の構成は、図5や図18の構成で各出力ごとに並列に2つのサンプリング系統を有していた代わりに、直列の2つのコンデンサを有し、信号取り込みごとに転送することによって、出力と信号取り込みとを同時に行うことができる構成である。図18の構成ではホールド転送用の制御信号は1つ（コントロール信号  $CNT0$ ）であった。これに対し、図7の例では、これを図5の場合と同様に2つ（グループ制御信号  $CNTa$  と  $CNTb$ ）に分けている。そして、第1ブロックの信号取り込みにおいて、サンプリング信号  $SAM_{n/2+1}$  から  $SAM_n$  が選択されている間に、 $SAM_1$  から  $SAM_{n/2}$  のデータ信号を転送しておき、来るべき第2ブロックの画像信号をホールドする準備を完了しておく。このことによって、第1ブロック11の画像信号と第2ブロック12の画像信号とが連続的に送られてくることにより、第1ブロックの信号の  $SAM_n$  までのサンプリングが終わって直ちに第2ブロックのデータ信号が連続的に送られてきても、問題なくデータ信号（画像信号）を取り込むことができる。

#### 【0103】

次に、図9の構成例について説明する。図9は  $m$  ビットのデジタルデータの場合である。図では便宜上、代表として、1番目のサンプリング回路19および  $n$  番目のサンプリング回路20のみを描いている。データ線  $DAT$  は、デジタル信号を伝える役割を持つ。階調数を  $m$  ビットとする。図中、左端の端子から入力された画像信号は分岐し、それぞれ、 $m$  ビット分すなわち  $m$  本のデータ線  $DAT$ 、2つの  $D$  タイプフリップフロップおよび  $D/A$  コンバータ  $DAC$  に順次入力され、各画像信号として出力（ $S_1$ 、 $S_2$ 、…、 $S_n$ ）されるようになっている。

#### 【0104】

グループ分けについては図5、図7と同様である。すなわち、上記のように出力本数を  $n$  とすると（ $n$  ライン出力）、図18の構成と異なり、1番目（ $S_1$ ）から（ $n/2$ ）番目（ $S_{n/2}$ ）までの第1のグループと、（ $n/2+1$ ）番目（

$S_{n/2+1}$  ) から  $n$  番目 ( $S_n$  ) までの第 2 のグループとにグループ分けする。ただしここでは  $n$  は偶数であるとする。そして、1 番目 ( $S_1$  ) から  $(n/2)$  番目 ( $S_{n/2}$  ) までは、前半ライン用のラッチを制御するグループ制御信号  $LSa$  で制御され、 $(n/2+1)$  番目 ( $S_{n/2+1}$  ) から  $n$  番目 ( $S_n$  ) までは、前半ライン用のラッチを制御するグループ制御信号  $LSb$  で制御される。すなわち、サンプリング信号  $SAM_1 \sim$  サンプリング信号  $SAM_n$  のサンプリングを制御するグループ制御信号が、 $LSa \cdot LSb$  の 2 種類存在する。そして、第 1 のグループの転送は、ほぼ  $SAM_{n/2}$  の近辺で行うようになっている。これは、 $SAM_1 \sim SAM_n$  終了後すぐに続けて、 $SAM_1$  からサンプリングするためであり、データ線に入るデータ信号を特に加工する必要をなくするためである。それ以外については図 1 8 と同様である。

## 【 0 1 0 5 】

図 1 0 にタイミングチャートを示す。図中、グループ制御信号  $LSa \cdot LSb$  が画像信号を転送する時期をそれぞれ  $t_{31}$ 、 $t_{32}$  で示す。また、 $LEV$  は、期間  $T_{33}$  に出力レベルが固定され、その効果は図 1 8 の場合と同様である。

## 【 0 1 0 6 】

このように、この構成では、図 1 8 の構成と異なり、サンプリング信号を 2 グループに分けるようにしている。すなわち、 $n$  個のサンプリング回路（サンプリング部）を、グループ制御信号  $LSa$ 、 $LSb$  に対応させて、半分ずつ分けて接続する。そして、第 1 ブロック 1 1（図 3 参照）の半分（ $n/2$  本分）のデータ信号は、 $SAM_1$  から  $SAM_{n/2}$  のタイミングで、該当するサンプリング回路の 2 つの D タイプフリップフロップに蓄積される。次に残りの  $n/2$  本分のデータ信号は、 $SAM_{n/2+1}$  から  $SAM_n$  のタイミングで、該当するサンプリング回路の 2 つの D タイプフリップフロップに蓄積される。

## 【 0 1 0 7 】

そして、 $SAM_{n/2+1}$  から  $SAM_n$  が選択されてそのデータ信号が蓄積され始めると、コントロール信号であるグループ制御信号  $LSa$  によって、2 つの D タイプフリップフロップに蓄積した  $SAM_1$  から  $SAM_{n/2}$  のデータ信号が転送され（時刻  $t_{31}$ ）、来るべき第 2 ブロック（画面の右半分に表示するデータ）1 2



の画像信号をホールドする準備ができあがる。もちろん、 $SAM_{n/2+1}$  から  $SAM_n$  の選択の間は、1 番目から  $n/2$  番目までのサンプリング回路は待機しているだけであって、実際のサンプリングは行われぬ。そして  $SAM_n$  までが選択され終わると、再びサンプリング信号 ( $SAM_1 \sim SAM_n$ ) が順次供給されるとともに、画像信号が供給される。そして、 $SAM_1$  から  $SAM_{n/2}$  が選択されてそのデータ信号が蓄積され始めると、コントロール信号であるグループ制御信号  $LSb$  によって、2 つの D タイプフリップフロップに蓄積した  $SAM_{n/2+1}$  から  $SAM_n$  のデータ信号が転送される (時刻  $t_{32}$ )。このような構成により、 $SAM_n$  までのサンプリングが終わって直ちに次のブロックの  $SAM_1$  からのサンプリングを始めることができる。

## 【0108】

上記のように、図 9 の構成では、図 5 や図 1 8 の構成で各出力ごとに並列に 2 つのサンプリング系統を有していた代わりに、直列の 2 つの D タイプフリップフロップを有し、信号取り込みごとに転送することによって、出力と信号取り込みとを同時に行うことができる構成である。図 1 8 の構成ではホールド転送用の制御信号は 1 つ (コントロール信号  $CNT0$ ) であった。これに対し、本図の例では、これを図 5、図 7 の場合と同様に 2 つ (グループ制御信号  $LSa$  と  $LSb$ ) に分けている。そして、第 1 ブロックの信号取り込みにおいて、サンプリング信号  $SAM_{n/2+1}$  から  $SAM_n$  が選択されている間に、 $SAM_1$  から  $SAM_{n/2}$  のデータ信号を転送しておき、来るべき第 2 ブロックの画像信号をホールドする準備を完了しておく。このことによって、第 1 ブロック 1 1 の画像信号と第 2 ブロック 1 2 の画像信号とが連続的に送られてくることにより、第 1 ブロックの信号の  $SAM_n$  までのサンプリングが終わって直ちに第 2 ブロックのデータ信号が連続的に送られてきても、問題なくデータ信号 (画像信号) を取り込むことができる。

## 【0109】

図 1 3 に、コントロール信号  $CNT$ 、グループ制御信号  $CNTa \cdot CNTb$  の生成部の構成例を示す。 $VSY$  は、画像に同期した垂直同期信号である。 $H$  カウンタ 4 1 への入力信号は、図 1 1・図 1 2 の例と同様である。この  $H$  カウンタ 4

1 から、1 水平周期のパルスが V カウンタ 4 2 に入力される（「V」は、ここでは「垂直」を表す。） H S Y（およびクロック C L K）を、H カウンタ 4 1 および V カウンタ 4 2 でカウントし、そのカウンタの値を元に各デコーダ（C N T デコーダ 4 3、C N T a デコーダ 4 4、および C N T b デコーダ 4 5）で各パルスを作成する。なお、図 1 8 のコントロール信号 C N T 0 もこのグループ制御信号 C N T a ・ C N T b と同様にして生成でき、図 1 3 の構成において、C N T a デコーダ 4 4 および C N T b デコーダ 4 5 のいずれかを C N T 0 生成用デコーダとし、他方のデコーダを削除した構成とすればよい。各デコーダは、図 1 1 ・ 図 1 2 の例と同様に、あらかじめセットされた所定値に従ってパルスを出力する。また、各所定値は、ドライバの出力本数などにより異なり、これらに基づいて決定し、最適化しておく。なお、図 1 1 と同様に P L L 発振器を有するような構成も可能である。

#### 【 0 1 1 0 】

図 1 3 の場合、V カウンタの出力も考慮して、各デコーダが動作する。これは、1 水平期間で同じタイミングで周期的に変化するパルスを作成するのであれば、図 1 1 ・ 図 1 2 のように H カウンタからだけでも作成できるが、コントロール信号 C N T などの場合、1 水平期間の中で同一タイミングで同一変化をすることはないため、V カウンタ（1 水平周期でカウントしていくカウンタ）も使う必要があるからである。

#### 【 0 1 1 1 】

図 1 4 ないし図 1 7 に、出力バッファ B u の構成例を示す。図 1 4 は、図 5、図 7、図 1 8 の構成において、所望の充電電圧を信号 L E V に入れた場合である。図 1 5 は、図 5、図 7、図 1 8 の構成において、信号 L E V をタイミング信号として用いて所望の充電電圧 V d への切り替えを行う場合である。なお、図 1 4、図 1 5 中、A S W D は図 5 および図 1 8 の場合であり、図 7 においては A S W D でなく A S W H となる。A S W D からの信号が O P アンプ（演算増幅器） 5 1 に入力される。図 1 4 では、L E V は所望の充電電圧としてそのまま切り替えスイッチ 5 2 に入力される一方、レベルシフタ 5 3 を介して切り替えタイミングを示す信号としてこの切り替えスイッチ 5 2 に入力される。図 1 5 では、L E V は

切り替えタイミングを示す信号としてそのまま切り替えスイッチ 5 2 に入力される一方、所望の充電電圧  $V_d$  がこの切り替えスイッチ 5 2 に入力される。

#### 【0 1 1 2】

図 1 6 および図 1 7 に、D/A（デジタル／アナログ）コンバータ DAC の構成例を示す。図 1 6 は、図 9 の構成において、所望の充電電圧を信号 L E V に入れた場合である。図 1 7 は、図 9 の構成において、信号 L E V をタイミング信号として用いて所望の充電電圧  $V_d$  への切り替えを行う場合である。図 9 中の  $n$  個のサンプリング回路のそれぞれにおいて、DAC の直前、すなわち 2 段目の D タイプフリップフロップの Q 出力からの信号 D F F が、デジタルアナログ変換器 6 1 に入力される。図 1 6 では、L E V は所望の充電電圧としてそのまま切り替えスイッチ 6 2 に入力される一方、レベルシフタ 6 3 を介して切り替えタイミングを示す信号としてこの切り替えスイッチ 6 2 に入力される。図 1 7 では、L E V は切り替えタイミングを示す信号としてそのまま切り替えスイッチ 6 2 に入力される一方、所望の充電電圧  $V_d$  がこの切り替えスイッチ 6 2 に入力される。

#### 【0 1 1 3】

以上、基本的には切り替えスイッチで構成すれば比較的容易に構成することができる。上記の所望の充電電圧  $V_d$  は、ソースドライバ（信号線駆動回路 1）の外部から入力することも可能であるが、ソースドライバの動作電源を直に付けるか、またはそれから抵抗分割した電圧を使うようにすれば、ドライバ外部から電源をとってくる手間を省くことができる。

#### 【0 1 1 4】

なお、図 5、図 7、図 9 のいずれの構成においても、サンプリング回路のグループ分けは、厳密に半分ずつである必要はなく、複数グループであればよい。また、グループの個数も、2 個に限定されない。さらに詳しくは、クロック周波数と各アナログスイッチ（A S W A 等）の切り替え速度とにより決まる切り替え時間に基づき、所望の個数ずつに分ければよい。ここでの例でグループ分けの境界を  $n/2$  としたのは、最も余裕が確保できるからである。

#### 【0 1 1 5】

次に、上記構成によるデータ伝送動作および画像信号の状態について述べる。

なお、表示画面は全面黒画面ではなく、図 3 に示すように 3 階調の縦ストライプ画面として説明する。

【 0 1 1 6 】

まず基本的な動作を述べれば、ある走査線  $g_1$  (図 1 参照) が選択されている間、すなわちある行が選択されている間に、信号線スイッチング素子 (SW a 等) を導通させるために、制御配線 SW<sub>1</sub> および SW<sub>2</sub> に、順に、図 1 1 や図 1 2 に示した各デコーダからパルス (信号線スイッチング素子制御信号) が送られる。そしてまず、SW<sub>1</sub> の選択により信号線スイッチング素子 SW a、SW b が導通する。これにより、信号線駆動回路 1 からの画像信号が信号線 a、b に供給される。走査線  $g_1$  が選択されているため、これらは画素 A<sub>1</sub>、B<sub>1</sub> にそれぞれ書き込まれる。このとき SW<sub>2</sub> は選択されていないため、信号線 c、d には画像信号は供給されない。次に、SW<sub>1</sub> が非選択になり、SW a、SW b が非導通となるため、信号線 a、b および画素 A<sub>1</sub>、B<sub>1</sub> は保持の状態となる。そして SW<sub>2</sub> が選択され、信号線スイッチング素子 SW c、SW d が導通状態となると、信号線駆動回路 1 からの画像信号が信号線 c、d に供給され、走査線  $g_1$  が選択中であるため、これらは画素 C<sub>1</sub>、D<sub>1</sub> にそれぞれ書き込まれる。

【 0 1 1 7 】

走査線  $g_1$ 、 $g_2$  は、図 3 に示すように、走査線駆動回路 2 により供給されており、縦ストライプが表示領域 3、4、5 の順に薄くなるように、信号線駆動回路 1 から画像信号を供給する。このときの画像信号の状態を図 2 に示す。本実施の形態においては、制御配線を通常通り選択して通常の画像信号 (データ信号) を信号線に供給するタイミング (同図の  $t_3$ 、 $t_4$ ) に先立って、同図の  $t_1$ 、 $t_2$  のように選択しておき、あらかじめ信号線の極性を反転させておく。制御配線 SW<sub>1</sub>・SW<sub>2</sub> の選択について、ここでは、上記通常通りの選択、およびその前の選択を、それぞれ正規、予行と称して区別することとする。本実施の形態ではこのように、走査線が ON になって一つの行が選択されている間 (選択期間、一水平期間) において、各行 (走査線  $g_1$ 、 $g_2$  等の各行) で、第 1 ブロック 1 1 (信号線 f'、f、a、b) への正規の導通として画像信号を通常通り印加する期間の終了時期に先立って、第 2 ブロック 1 2 に属する信号線 c、d、e、e

を予行の導通として導通させ、極性反転させている。SW<sub>2</sub> が選択される t<sub>2</sub> のタイミングのとき、図 2 6 に示した従来の構成と同様に信号線 b は突き上げを受けるが、画像信号の正規のタイミングは t<sub>3</sub> であって、このときの信号線スイッチング素子を介した信号線への書き込みによって正しい電位が与えられ、走査線 g<sub>1</sub> が非選択になるまでこの状態が維持される。そのため、前述のように境目が視認されるという問題点は解決される。

## 【0 1 1 8】

図 2 の駆動方法では、同図に示すように、走査線の一選択期間中において時間的に早い順に区間 T<sub>1</sub>、T<sub>2</sub> のように画像信号を分けると、時系列的に供給される画像信号に対し、区間 T<sub>1</sub> で第 1 ブロックの画像信号をまず信号線駆動回路 1 内のマルチプレクサによって取り込み、次に区間 T<sub>2</sub> で第 2 ブロックの画像信号を取り込むというように、順次信号線駆動回路 1 から信号線に送り出すようにしている。

## 【0 1 1 9】

ところで、t<sub>4</sub> のタイミングでは、信号線 c には、t<sub>2</sub> で書き込まれたのとは異なる電位が与えられるため、この電位差に対応した突き下げを信号線 b が受ける恐れがあるが、この電位差は画像信号の極性反転と比べると十分小さく、通常視認されない程度のものであることが多い。しかし、もし寄生容量 C<sub>sd</sub> の大きさによって、この電位差による信号線 b の揺動が視認レベルである場合には、図 4 に示すような画像信号を与えることが有効である。これについて次に述べる。

## 【0 1 2 0】

すなわち、信号線駆動回路 1 からの出力信号（画像信号）とは別個に、所望の電圧を、上記予行の極性反転時期に印加するようにする。この図 4 のような信号駆動方式にあたっては、信号線駆動回路 1 内に、このような所望の電圧を記憶しておくためのメモリ機能を付加している。具体的には、前述の図 5、図 7、図 9 に示した信号 L E V を用いる。すなわち、前述のように、所望の充電電圧をこの信号 L E V に入れるようにする。その場合、信号 L E V に入れられる、上記所望の充電電圧は、第 1 ブロック 1 1 の正規の極性反転時期の信号強度から、第 2 ブロック 1 2 の正規の極性反転時期の信号強度に近づくように値を増減させた信号

強度である。さらに、ここでは、信号 L E V に入れる上記所望の充電電圧として、予行の極性反転を行う第 2 ブロック 1 2 の、正規の極性反転時期に印加されるのと同じ電位の信号を供給するようにしている。

#### 【 0 1 2 1 】

あるいは、前述のように、この信号 L E V の入力タイミングに応じて、前述の別個の所望の電圧 ( $V_d$ ) への切り替え等を行うようにしてもよい。

#### 【 0 1 2 2 】

このように、 $t_1$ 、 $t_2$  のタイミングに対応して出力線  $s_1 \sim s_4$  にも、上記のように、第 1 ブロック 1 1、第 2 ブロック 1 2 にそれぞれ相当する画像信号を供給して、信号線を概ね所定の電圧にしておいた後に、 $t_3$ 、 $t_4$  のタイミングで正確に信号線および画素への書き込みを行う。ここでいう、概ねとは、 $t_3$  および  $t_4$  の際に境目にあたる信号線が揺動をうけない程度をさすものであり、正確に出力線  $s_1 \sim s_4$  と同じ電位に達するようにする必要はない。すなわち  $t_1$ 、 $t_2$  のタイミングで信号線が選択される（データ信号が印加される）期間の長さはある程度短いものであってもよい。

#### 【 0 1 2 3 】

また、信号線駆動回路 1 内での信号取り込みの時間的な制約などによっては、1 ライン手前や 1 フレーム前の画像信号を適宜極性をあわせて、 $t_1$ 、 $t_2$  に供給しても概ね同等の効果が得られる。

#### 【 0 1 2 4 】

前述の図 1 8 に示した構成では、C N T 0 が A 系統を選択して区間  $T_1$  の表示信号をサンプリングホールドコンデンサ  $C_{SHA}$ ・ $C_{SHB}$  に取り込んでいる間に、C N T が B 系統を選択して区間  $T_2$  の表示信号を出力している。このような構成は、時系列的に供給されるデータ信号を順序を入れ替えることなく出力する場合に限られており、図 4 のような駆動を行う場合には、片方を取り込みながらもう片方を出力するということができないため、より高速に 2 系統のデータ信号をそれぞれ取り込んだ後にそれぞれ所望のタイミングで出力するか、サンプリングホールドコンデンサ ( $C_{SHA}$ 、 $C_{SHB}$ ) を並列に増量するか、データ信号を供給する側になんらかのメモリ機能を持たせておく必要がある。

## 【 0 1 2 5 】

ところで、図 1 8 の構成では、時刻  $t_5$  (図 1 9 参照) のタイミングで CNT 0 が B 系統を選択し、新しいデータ信号を取り込み始めるが、それに先だって極性を反転させれば、 $t_3$ 、 $t_4$  の選択時間に先立って、1 ライン手前の B 系統の信号を、極性を合わせて供給したことになる。もちろん、これよりも以前に前段の走査線信号がオフになっていなければならない。また、より多数のブロックに分けて駆動する構造の場合は、この方式ではなく、サンプリングホールドコンデンサを並列に増量したり、データ信号供給側にメモリ機能を追加したりするなどの構造が必要である。

## 【 0 1 2 6 】

1 ライン手前の表示信号は確率的に当該ラインと同じ表示状態である可能性が高く、また仮にちょうど垂直方向の表示が変わる境界であったとしても、従来例のように逆極性に書き込まれるよりは格段に電圧の揺動は小さく、さらにこのために前述の表示上の不具合が発生するのは 1 画素に限られることから、視認される可能性がきわめて低い。

## 【 0 1 2 7 】

信号線駆動回路 1 に上記のメモリ機能として機能するラインメモリを持たせた場合には、さらに 1 フレーム前の表示信号を極性のみ合わせて供給することも可能である。このときは、前フレームとの表示状態が切り替わる瞬間だけしか上記表示上の不具合が発生しないため、ブロックの境界を視認することはない。

## 【 0 1 2 8 】

なお、 $SW_2$  が非選択で  $SW_1$  が選択されて画像信号の印加先が第 2 ブロックから第 1 ブロックに切り替わった瞬間にも同様の突き上げは発生するが、走査線  $g_1$  の選択中において次のタイミングで  $SW_2$  が選択されて正しい電位に書き換えられるため、画素  $C_1$  に関しては表示上問題は生じない。また走査線  $g_1$  の非導通時の  $C_{sd}$  による揺動は画素と容量結合する信号線によって違いがあるが、表示期間全体の実効値としては差がなく、問題を生じない。

## 【 0 1 2 9 】

本実施の形態では、このようにして信号線の電位の揺動による表示品位の低下を防止することができる。なお、本実施の形態では2ブロックの場合を述べたが、それより多くのブロックでの駆動であっても同様である。

### 【0130】

本実施の形態では、このように、まず、2個のブロックであれば、図2に示すように、走査線の一選択期間中における制御配線 $SW_1$ の2つのON (High) 期間のうち、予行の極性反転期間である、時刻 $t_1$ から始まるもののON時期、OFF時期をそれぞれ $a_1$ 、 $b_1$ とし、正規の極性反転期間である、時刻 $t_3$ から始まるもののON時期、OFF時期をそれぞれ $c_1$ 、 $d_1$ とする。同様に、同じ期間中における制御配線 $SW_2$ の2つのON (High) 期間のうち、時刻 $t_2$ から始まるもののON時期、OFF時期をそれぞれ $a_2$ 、 $b_2$ とし、時刻 $t_4$ から始まるもののON時期、OFF時期をそれぞれ $c_2$ 、 $d_2$ とする。このときまず

$$b_2 \leq d_1$$

としている。またここでは

$$b_1 \leq a_2、$$

$$d_1 \leq c_2$$

としている。またここではさらに、 $b_2 \leq c_1$ としている。

### 【0131】

同様に、N個のブロックであって（Nは2以上の整数）、1番目、2番目、3番目、…、N番目までこの順にそれぞれ互いに隣接しているとする。図20に、ブロックの個数Nを4とした場合の構成例を示す。すなわち、制御配線として、 $SW_1$ 、 $SW_2$ 、 $SW_3$ 、 $SW_4$ の4つを用いる。このとき、kを2以上N以下の任意の整数として、k番目のブロックについて、走査線の一選択期間中における制御配線 $SW_k$ の2つのON (High) 期間のうち、予行の極性反転期間であるもののON時期、OFF時期をそれぞれ $a_k$ 、 $b_k$ とし、正規の極性反転期間であるもののON時期、OFF時期をそれぞれ $c_k$ 、 $d_k$ とする。ここで、 $d_{k-1} \leq c_k$ 、すなわち、番号が進むにつれて正規の極性反転時期（正規のデータ信号印加時期）が遅くなるとすると、このとき、まず

$$b_k \leq d_{k-1}$$



としている。またここでは

$$b_{k-1} \leq a_k$$

すなわち、番号が進むにつれて、予行の極性反転の開始時期をその一ブロック前の予行の極性反転の終了時期よりも遅くしている。なお、これとは逆に、

$$b_k \leq a_{k-1}$$

すなわち、番号が進むにつれて、予行の極性反転の終了時期をその一ブロック前の予行の極性反転の開始時期よりも早くするようにすることもできる。また、いずれの場合も、任意の隣接ブロック間で、予行の極性反転期間同士に、重なった時間が存在するようにすることもできる。

#### 【 0 1 3 2 】

また、 $b_N \leq c_1$ 、すなわち、Nブロック目の予行反転期間の終了時期が、1ブロック目の正規の反転期間の開始時期と同時かそれより前であるとする事ができる。なお、これに限定されない。しかし、最後のNブロック目の予行の極性反転の終了時期は、最初の第1ブロックの正規の極性反転（データ信号印加）の開始時期より前であることが好ましい。これは、あるブロックが正規のデータ信号供給時に、他のブロックの信号線スイッチング素子（SWa等）がオン状態にあると、信号線駆動回路1およびパネル（液晶パネル）内の各部位、例えば補助容量配線（図示せず）にかかる負荷が倍増するため、信号遅延等の影響により、正規にデータ信号供給されるブロックにおける充電特性が他のブロックと異なるようになる可能性があるからである。ただし、信号線駆動回路1の駆動能力やパネルの負荷の大きさ、設定されている充電率、言い換えれば画素トランジスタや信号線スイッチング素子の抵抗値によっては、差し支えない場合もある。なお、このような構成は、後述の図24に示されている。

#### 【 0 1 3 3 】

また、図3のように、制御配線SW1の導通によりデータ信号が印加されるブロックが画面の左端のブロック（第1ブロック11）、すなわち正規のデータ信号印加時期の最も早いブロックである場合には、予行の極性反転（時刻t1での極性反転）は不要である。ただし、実際の運用面においては、充電率等をブロック間でより厳密に合わせることが好ましいため、制御配線SW<sub>1</sub>、制御配線SW

2、…の開放時間や波形（通電タイミング等）は互いにほぼ同一にすることが好ましい。このことは後述のいずれの実施の形態においても同様である。

#### 【0134】

##### 〔実施の形態2〕

本発明の他の実施の形態について図21および図22に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

#### 【0135】

本実施の形態では、図21に示すように、各ブロックが選択されるのに先立って、一旦複数のブロックが同時に選択され、信号線の極性の反転がおこなわれている。図では2ブロックしか示していないため効果が少なく見えるが、実際には4ブロック等多数のブロックでの駆動の場合、これらを同時に選択して信号線の極性反転を短時間に終了させることは、その後の各ブロックに正確な電位を供給するのに十分な時間を確保する上で重要である。複数同時に選択する期間の長さは、前述同様に境目にあたる信号線が揺動をうけない程度でよく、具体的には信号線スイッチング素子と信号線容量とから与えられる時定数の2倍もあれば十分である。

#### 【0136】

本実施の形態ではこのように、ブロック毎の駆動に限定した上で、それぞれの信号線に順次画像信号を供給するのに先立って、あらかじめ同時に信号を供給しており、ブロックの境目が視認されないようにあらかじめ反転信号を与えておくようにしている。それによって、Csdによる電位の変動による表示上の不具合を軽減することができる。

#### 【0137】

ところで、 $t_4$ のタイミングで信号線cの電位が変わることによって信号線bがわずかに突き下げを受けることは前述したが、このわずかな電位変動が最も顕著に視認されるのは、中間調を表示しているときである。逆にいえば、中間調の時に視認されないように設定しておくこと、 $t_4$ における不具合は生じないということである。図21では、 $t_1$ では第1ブロックへ書き込まれる画像信号が与え

られていたが、そのかわりに、図 2 2 に示すように、 $t_1$  で中間調の画像信号を供給しておくことで、信号線 b および c に相当するラインに中間調を表示した時の  $t_4$  のタイミングでの電位変動がなくなる。このような中間調の画像信号は、前述のように信号 L E V として用意しておけばよい。すなわち、L E V は、実施の形態 1 で図 4 を用いて述べたように、あらかじめ充電されるレベルを、所望の充電電圧にする場合に使用する。つまり、その所望の充電電圧をこの信号 L E V に入れるようにするか、あるいは、この信号 L E V を用いて、所望の電圧への切り替え等を行うようにすればよい。

【0 1 3 8】

最も電位変動が大きくなるのは  $t_1$  で信号線 b および信号線 c に中間調の電圧を与えておいて、 $t_4$  で信号線 c に黒または白の電圧を供給したときであるが、このときでも、 $t_3$  で信号線 b が黒または白の電位にされているときは、電位変動に対する液晶透過率変動が微少であるため画素  $B_1$  の異変は視認されず、 $t_3$  で信号線 b が中間調のままのときでも、画素  $B_1$  はちょうど左右の画素の階調が切り替わる境目にあたるため、電位変動は視認されない。

【0 1 3 9】

実施の形態 1 で述べたように定義するとき、本実施の形態では、このように、まず 2 個のブロックであれば、まず

$$b_2 \leq d_1$$

とし、また

$$a_1 = a_2, \quad b_1 = b_2,$$

$$d_1 \leq c_2$$

としている。またここではさらに、 $b_2 \leq c_1$  としている。

【0 1 4 0】

同様に、N 個のブロックであれば、

$$b_k \leq d_{k-1}$$

とし、また

$$a_1 = a_2 = \dots = a_N, \quad b_1 = b_2 = \dots = b_N,$$

$$d_{k-1} \leq c_k$$

とする。またここではさらに、実施の形態 1 同様、 $b_N \leq c_1$  としている。

#### 【0 1 4 1】

##### 〔実施の形態 3〕

本発明のさらに他の実施の形態について図 2 3 および図 2 4 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

#### 【0 1 4 2】

本実施の形態では、実施の形態 1、2 と異なり、あえて、 $SW_1$  が非選択に切り替わる以前に  $SW_2$  を選択しており、この様子を図 2 3 に示す。 $t_4$  のタイミングで信号線  $c$  が極性反転しても、この時にはまだ信号線  $b$  の信号線スイッチング素子  $SW_1$  が導通状態であるため、 $s_4$  が供給している電圧どおりになっており、従来例のように突き上げを受けた状態で画素への書き込みがおこなわれて固定されることがない。実施の形態 1、2 のように  $SW_2$  をあらかじめ導通する期間を設けなくてよいので、信号線スイッチング素子を介した正規電圧（正規の極性反転時期に印加する電圧）への書き込みのための時間を大きくとることができる。一般に、信号線の静電容量は大きく、これに十分小さい時定数で書き込めるほどにスイッチング素子の抵抗値を下げることは困難な場合が多いため、そのような場合に、本実施の形態の駆動方法は非常に有意義である。

#### 【0 1 4 3】

また、予行の極性反転特有のパルス等を生成する必要がないため、制御配線の信号波形が単純になる。これにより、信号線駆動制御のための信号生成用の回路を簡素化することができる。

#### 【0 1 4 4】

ここで、信号線駆動回路の性能やアクティブマトリクス基板上の配線のインピーダンスによっては、図 2 3 の  $t_4$  の瞬間に出力線  $s_1 \sim s_4$  の画像信号の電位が降下する場合がある。これは、急激に負荷が増加するためであり、ある一定時間が経過すると所望の電圧に戻るのであるが、 $t_4$  は  $SW_1$  が非選択になる直前であるため、この瞬間の電圧降下が画素への書き込みの最終段階にかかり、降下

したままの電圧で固定されてしまう恐れがある場合がある。これについて次に述べる。

#### 【0 1 4 5】

図 2 4 は、これを防ぐために、 $SW_1$  の選択の初期段階で  $SW_2$  を選択して信号線 c を極性反転させておき、その後  $SW_2$  は非導通として信号線 f、a、b に精度よく画像信号を供給し、 $SW_1$  が非導通となった後再び  $SW_2$  を導通として、信号線 c、d、e に精度よく画像信号を供給するものである。ここでは特に、 $SW_2$  での予行の導通開始時期を、 $SW_1$  の正規の導通開始時期と一致させている。

#### 【0 1 4 6】

この方法によっても、信号線スイッチング素子を介した正規電圧への書き込みの時間を大きくとることができるほか、境目の視認性に関しては図 2 や図 2 1 などと同じ効果が得られる。また、この方法では、図 2 3 の方法と異なり、 $SW_2$  の予行の導通の終了から  $SW_1$  の正規の導通の終了までに十分な時間的余裕をとっているため、上記のような電圧降下を効果的に防ぎ、良好な充電特性を得ることができる。

#### 【0 1 4 7】

2 ブロックでの駆動でなく多ブロック駆動の方式である場合には、図 2 3 の駆動方法であれば、直前のブロックが選択される期間（極性反転期間）の一部は、直後のブロックが選択される期間と自然と重なるが、図 2 4 の場合でも同様に、直前のブロックが選択される期間の一部が、直後のブロックが選択される期間と重なるようにすることが望ましい。例えば、図 2 4 でいえば、時刻  $t_{11}$  から始まる  $SW_1$  のパルス（High の期間）と、時刻  $t_{12}$  から始まる  $SW_2$  のパルス（High の期間）とが重なっている。これは、隣接ブロックの間では表示状態が類似している場合が比較的多く、したがって、あらかじめ極性反転しているときの電圧と、正規の書き込み電圧とが同じである場合が多いため、先のブロックが非導通になった後の後のブロックへの書き込みによる揺動の影響が少なくなる場合が多いためである。

#### 【0 1 4 8】

このように、図 2 3 に示す例では、データ信号印加時期が連続している 2 個のブロックについて、正規の極性反転期間が互いに重複時期を持つようにずれている構成である。これは、見方を変えて、実施の形態 1 で述べたように正規の極性反転と予行の極性反転とに分けて各極性反転を定義する（図 2、図 2 1、図 2 4 参照）と、あるブロック（第 1 ブロック）の正規の極性反転の終了と同時に次のブロック（第 2 ブロック）の予行の極性反転が終了し、それに引き続き、第 2 ブロックでの正規の極性反転が開始されると考えることもできる。

## 【 0 1 4 9 】

また、図 2 4 に示す例は、あるブロック（第 1 ブロック）の正規の極性反転の開始時期付近で、次のブロック（第 2 ブロック）の予行の極性反転を行うものである。なお、この図 2 4 の構成を変形して、第 2 ブロックの予行の極性反転の開始時期が第 1 ブロックの正規の極性反転の開始時期より前にあるような構成や、さらには、第 2 ブロックの予行の極性反転の終了時期も第 1 ブロックの正規の極性反転の開始時期より前にあるような構成も可能である。また、中間の構成、すなわち、図 2 4 で、第 2 ブロックの予行の極性反転の開始時期が第 1 ブロックの正規の極性反転の開始時期より後で、第 2 ブロックの予行の極性反転の終了時期が第 1 ブロックの正規の極性反転の終了時期より前にあるような構成も可能である。

## 【 0 1 5 0 】

上記各実施の形態において、このアクティブマトリクス基板がカラー表示の装置に用いられるものである場合には、信号線駆動回路の出力端子に対する画素の対応は、ブロック間で色が異ならないことが望ましい。これは例えば、2 ブロックの駆動であって、出力線  $s_3$  から、第 1 ブロックでは画素  $A_1$  が画像信号を受け、第 2 ブロックでは画素  $E_1$ （図示せず）が画像信号を受けるとした場合に、画素  $A_1$ ・画素  $E_1$  のいずれにおいても赤（R）色を表示するということである。これは、正規の画像信号の書き込みに先立って極性反転する際、先のブロックでの当該ラインの電圧を信号線に供給するにあたって、後のブロックの正規の書き込み電圧と同じである確率を高くするためである。例えば、単色中間調の全面面表示をする場合などは、従来の駆動方式での境目の視認性は極めて高いため、

本発明の構造を効果的に活用する必要度が高く、ブロック間で色が異ならないようにすることは重要な事項である。

## 【 0 1 5 1 】

上記各実施の形態では、本発明のデータ伝送方法が適用されるアクティブマトリクス基板を、画素を用いる表示装置に用い、特に、この画素として液晶を用いた液晶表示装置について述べた。しかしながら、これに限定されず、本発明は、例えば、光電効果を用いた、例えばX線センサなどの検出器等にも使用することができる。

## 【 0 1 5 2 】

## 〔実施の形態4〕

本発明のさらに他の実施の形態について図25に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

## 【 0 1 5 3 】

本実施の形態は、光電効果を用いた、X線センサ等の光検出器である。図25に示すように、光検出パネル102、信号加工部（データ授受部）101、およびデータ保存器110がこの順に接続されている。

## 【 0 1 5 4 】

光検出パネル102の内部には、実施の形態1と同様の信号線 $S_k$ （ $k=1, 2, \dots, N$ ）と走査線（図示せず）とがマトリクス状に形成されており、実施の形態1同様、信号線は複数のブロック（図示せず）に分かれている。実施の形態1の画素が設けられていた部位には、画素の代わりに、X線等の光を検出して電気信号に変換する光検出素子（図示せず）が設けられている。走査線は実施の形態1と同様に駆動される。

## 【 0 1 5 5 】

光検出パネル102の内部であって信号線と信号加工部101との接続部位には、実施の形態1の信号線スイッチング素子 $SW_a$ と同様のパネル内スイッチ107が設けられている。このパネル内スイッチ107は、実施の形態1同様の制御配線 $SW_1$ 等（図示せず）によって、実施の形態1同様に上記各ブロックを順

次選択するように制御される。なお、ここでは説明の便宜上、1つの信号線および1つのパネル内スイッチ107のみ図示しているが、実際には、1つの信号加工部101には、複数の信号線( $S_1$ 、 $S_2$ 、…、 $S_N$ )が、各信号線に対応したパネル内スイッチをそれぞれ介して接続されている。さらに、信号加工部101は、実際には、図5、図7、図9のサンプリング回路同様、1つのブロック内の信号線の本数分だけ存在しており、それぞれの信号加工部が、上記のように各パネル内スイッチを介して各信号線に接続されている。

## 【0156】

信号加工部101の内部には、電気信号を電圧変換するプリアンプ(PAMP)103、その電圧を増幅するメインアンプ(MAMP)104、mビットのアナログデジタル変換器(ADC)105、およびmビットのデジタル信号をラッチするラッチ回路106がこの順に接続されている。

## 【0157】

各行において、該当する走査線がオンになってその行が選択されている間(一水平期間)に、上記光検出素子はその部位で受けた光の強度に応じて電気信号(電荷)を発生させる。この電気信号は、信号線を通り、信号加工部101へと入力される。信号加工部101では、その電気信号をプリアンプ103にて電圧変換し、メインアンプ104で増幅し、アナログデジタル変換器105でデジタル信号に変換し、ラッチ回路106でラッチした後、データ保存器110へと出力する。データ保存器110では、この入力された信号を保存する。

## 【0158】

上記の構成において、各パネル内スイッチ107を、前述の各実施の形態に記載したように、すなわち例えば図2、図4、図21ないし図24に示したように制御し、ブロックを切り替えることができる。従来であれば、実施の形態1同様、任意の1つの行において、選択および電気信号発生が終わったブロック(BL1と称する)と、そのブロックの次に信号線で上記電気信号の発生・伝送を行うブロック(BL2と称する)とに注目したとき、BL1、BL2にそれぞれ属し、隣り合っている信号線同士で電圧が変動する恐れがある。これに対し、上記本実施の形態の構成によれば、前述の各実施の形態の通りに制御することにより、



このような変動を抑え、それにより、データ保存器 1 1 0 へと出力するデータに誤差が発生するのを抑えることができる。

【0 1 5 9】

なお、本発明を、下記のように構成してもよい。すなわち、本発明は、アクティブマトリクス基板の駆動方法であって、基板上に形成された複数の画素電極と、該画素電極に個別に接続される画素スイッチング素子と、該画素スイッチング素子を駆動する複数の走査線と、該画素スイッチング素子を介して画素電極と接続された複数の信号線と、該複数の信号線に個別に一端が接続された複数の信号線スイッチング素子と、該スイッチング素子の他端と電氣的に接続された信号入力部と、該信号入力部と該スイッチング素子の間に設けられた信号線分岐部と、該複数の信号線スイッチング素子にブロック毎に共通に接続され、該信号線スイッチング素子の導通・非導通を切り替える制御配線とを有するアクティブマトリクス基板の駆動方法において、該信号線に供給される電位は所定期間毎に基準電位に対して極性反転され、それぞれの該所定期間内において、所望の表示信号が信号線および画素に供給されるために各ブロックの信号線スイッチング素子が選択されるのに先立って、あるブロックの信号線スイッチング素子が導通状態にせられ、このときの信号線に供給せられる電圧の基準電位に対する極性は、その所定期間内の該ブロックが選択される期間に供給される電圧の基準電位に対する極性と同一であるように構成してもよい。

【0 1 6 0】

上記の構成によれば、信号線があらかじめ極性反転されているため、上記のように境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象がおこらない。このため、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという問題点は解決される。

【0 1 6 1】

また、上記の構成において、それぞれの該所定期間内において、所望の表示信号が信号線および画素に供給されるために各ブロックの信号線スイッチング素子が選択されるのに先立って、複数のブロックの信号線スイッチング素子が同時に

導通状態にせられるように構成してもよい。

【0162】

上記の構成によれば、共通の電位反転期間を設けているため、多数のブロックにわたっての駆動である場合にも、極性反転のために要する時間的なロスを軽減することができる。

【0163】

また、上記の構成において、それぞれの該所定期間内において、所望の表示信号が信号線および画素に供給されるために各ブロックの信号線スイッチング素子が選択されるのに先立って、あるブロックの信号線スイッチング素子が導通状態にせられ、このとき信号線には中間調に相当する表示信号が供給せられるように構成してもよい。

【0164】

上記の構成によれば、黒表示の場合の効果は若干減少するものの、白や中間調、単色などの表示のときにも上記の効果が得られる。微少な電圧の差異に対する表示上の視認性の差は中間調のときがもっとも大きいため、あらゆる画面でのブロックの境目の視認性をなくすという点で、この構造および駆動方法が極めて優れている。

【0165】

また、本発明は、アクティブマトリクス基板の駆動方法であって、基板上に形成された複数の画素電極と、該画素電極に個別に接続される画素スイッチング素子と、該画素スイッチング素子を駆動する複数の走査線と、該画素スイッチング素子を介して画素電極と接続された複数の信号線と、該複数の信号線に個別に一端が接続された複数の信号線スイッチング素子と、該スイッチング素子の他端と電氣的に接続された信号入力部と、該信号入力部と該スイッチング素子の間に設けられた信号線分岐部と、該複数の信号線スイッチング素子にブロック毎に共通に接続され、該信号線スイッチング素子の導通・非導通を切り替える制御配線とを有するアクティブマトリクス基板の駆動方法において、該信号線に供給される電位は所定期間毎に基準電位に対して極性反転され、あるブロックの信号線スイッチング素子は、水平期間内において先立って選択せられる隣接ブロックのスィ

ッチング素子が、少なくとも非導通に切り替えられるより以前に導通状態とされるように構成してもよい。

## 【 0 1 6 6 】

上記の構成によれば、隣接ブロックが非選択になる前に極性反転が行われるため、境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象がおこらない。このため、周辺と同じ電位を供給したにも関わらずブロックの境目の表示状態が異なるという問題点は解決される。

## 【 0 1 6 7 】

また、本発明は、アクティブマトリクス基板の駆動方法であって、基板上に形成された複数の画素電極と、該画素電極に個別に接続される画素スイッチング素子と、該画素スイッチング素子を駆動する複数の走査線と、該画素スイッチング素子を介して画素電極と接続された複数の信号線と、該複数の信号線に個別に一端が接続された複数の信号線スイッチング素子と、該スイッチング素子の他端と電氣的に接続された信号入力部と、該信号入力部と該スイッチング素子の間に設けられた信号線分岐部と、該複数の信号線スイッチング素子にブロック毎に共通に接続され、該信号線スイッチング素子の導通・非導通を切り替える制御配線とを有するアクティブマトリクス基板の駆動方法において、該信号線に供給される電位は所定期間毎に基準電位に対して極性反転され、あるブロックの信号線スイッチング素子は、該所定期間内において先立って選択せられる隣接ブロックのスイッチング素子が導通状態にある間に、少なくとも一旦導通状態にせられるように構成してもよい。

## 【 0 1 6 8 】

上記の構成によれば、隣接ブロックの選択中に極性反転が行われるため、境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象がおこらず、ブロックの境目の表示状態が異なるという問題点は解決される。また、極性反転のために要する時間的なロスをなくすることができる。

## 【 0 1 6 9 】

また、本発明に係る画像表示装置は、上述の各方法により駆動されるアクティブマトリクス基板を有するように構成してもよい。また、本発明に係る信号線駆動回路は、上述の各方法により駆動されるアクティブマトリクス基板を有する画像表示装置の信号線駆動に用いられるものであって、少なくとも2グループ以上のラインを、異なる制御信号により制御するように構成してもよい。また、本発明に係る信号線駆動回路は、制御信号（グループ制御信号）がサンプリング信号を切り替えるように構成してもよい。すなわち、上記制御信号のタイミングにてサンプリング信号を切り替えてもよい。また、本発明に係る信号線駆動回路は、制御信号（グループ制御信号）が転送信号またはラッチ信号に相当するように構成してもよい。すなわち、上記制御信号のタイミングにてデータを転送またはラッチするように構成してもよい。

【0170】

【発明の効果】

以上のように、本発明のデータ伝送方法は、ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とし、上記BL1、BL2にそれぞれ属し、互いに隣接している信号線をそれぞれSL1、SL2とするとき、一水平期間内に、その行で、BL1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通としてSL2を導通させる構成である。

【0171】

これにより、上記の予行の導通によってブロックBL1は電位の突き上げを受けて電位が揺動するが、その後、正規の導通が行われ、BL1への正しい電位が印加され、揺動が修復されるので、ブロックの境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じるのを、効果的に防止することができるという効果を奏する。

【0172】

また、本発明のデータ伝送方法は、ブロックのうちの少なくとも1組の、互い

に隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをB L 1、遅いほうのブロックをB L 2とし、上記B L 1、B L 2にそれぞれ属し、互いに隣接している信号線をそれぞれS L 1、S L 2とすると、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、予行の導通としてS L 2の電位を上記基準電圧に対して極性反転させる構成である。

## 【0173】

これにより、上記のように境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらないので、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができるという効果を奏する。

## 【0174】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記一水平期間内において、B L 1への上記データ信号の印加終了時期に先立って、複数のブロックの信号線を同時に導通させる構成である。

## 【0175】

これにより、多くのブロックに分けての駆動である場合でも、予行の極性反転等の予行の導通のために要する時間が長くなりすぎることがなく、正規の極性反転等の正規の導通を行うのに際して時間的なロスを軽減できるので、上記の構成による効果に加えて、余裕を持って信号印加ができ、データ処理品質を向上させることができるという効果を奏する。

## 【0176】

また、本発明のデータ伝送方法は、上記の構成に加えて、B L 2で上記予行の導通を行っている間は、その予行の導通を行っているB L 2の信号線には、信号線に印加されるデータ信号のうちの最大値と最小値との中間の信号強度を持ったデータ信号を印加する構成である。

## 【0177】

これにより、B L 1内の信号線は、このような中間的なデータ信号の場合に微

少な電位差によって電位の著しい突き下げを受けることがなくなるので、上記の構成による効果に加えて、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは電位が異なるという不具合を、よりいっそう軽減することができるという効果を奏する。

## 【 0 1 7 8 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記一水平期間内において、B L 1 の正規の導通期間中に、B L 2 での上記予行の導通を行う構成である。

## 【 0 1 7 9 】

これにより、多くのブロックに分けての駆動である場合でも、予行の極性反転等の予行の導通のために要する時間が長くなりすぎることがなく、正規の極性反転等の正規の導通を行うのに際して時間的なロスを軽減できるので、上記の構成による効果に加えて、余裕を持って信号印加ができ、データ処理品質を向上させることができるという効果を奏する。

## 【 0 1 8 0 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記一水平期間内において、B L 1 の正規の導通の終了時期にB L 2 での上記予行の導通を終了し、引き続き、B L 2 で正規の導通を行う構成である。

## 【 0 1 8 1 】

これにより、予行の極性反転等の予行の導通期間の開始時期・終了時期を規定するための信号を新たに作り出す必要がないので、上記の構成による効果に加えて、このように駆動するための装置の構成を簡素化することができるという効果を奏する。

## 【 0 1 8 2 】

また、本発明のデータ伝送方法は、時系列で連続的に入力されて信号線 n 本分にあたる 1 ブロック分の入力データを、n 個のサンプリング部でサンプリングして n 個のサンプリングデータとしてそれぞれ蓄積後、該当する信号線へそれぞれ出力し、上記 n 個のサンプリング部をグループ分けし、上記ブロックのうち、同一の走査線について上記入力データのサンプリング順序が 2 番目以降であるもの

の一つをB L 2とし、上記ブロックB L 2の最初のサンプリングデータD b 1が入力されるサンプリング部を有するグループをG R aとすると、上記グループG R aが、同一の走査線について上記ブロックB L 2よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータD b 1が入力されるまでに、グループG R a内に、上記サンプリングデータD b 1を蓄積するための空のサンプリング部を用意する構成である。

## 【 0 1 8 3 】

これにより、信号線への入力線がn本ある場合に、n番目のデータ信号をサンプリングした後に、再び1番目のデータ信号をサンプリングする前に、サンプリングが済んでいるデータ信号を信号線に転送またはラッチするための時間が不要になる。そのため、この転送またはラッチのための時間に応じてデータ信号を特に加工しておくことが不要になるので、簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができるという効果を奏する。

## 【 0 1 8 4 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをB L 1、遅いほうのブロックをB L 2とすると、上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有しており、あるグループG R 1で、ブロックB L 1の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれぞれ蓄積していき、その蓄積が終われば、次のサンプリングデータについて別のグループで蓄積を開始し、その後、上記グループG R 1で次のブロックB L 2のサンプリングデータの蓄積を開始するまでに、上記グループG R 1で、次の蓄積先となる系統を、現在蓄積データのない系統へと切り替える構成である。

## 【 0 1 8 5 】

これにより、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出力を系統間で切り替えるものであっても、蓄積処理を行うグループを切り替えて他のグループでその間のデータ信号を確実にサンプリングすることができ、データの取りこぼしを確実に防ぐことができるので、上記の構成による効果に加え、

より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができるという効果を奏する。

## 【 0 1 8 6 】

また、本発明のデータ伝送方法は、上記の構成に加えて、上記グループのうちの一つをGR1とすると、少なくともこのグループGR1でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループGR1で蓄積したサンプリングデータを出力する構成である。

## 【 0 1 8 7 】

これにより、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出力を系統間で切り替える必要がなく、切り替えのための時間が不要であるので、上記の構成による効果に加え、より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができるという効果を奏する。

## 【 0 1 8 8 】

また、本発明のデータ伝送方法は、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをBL1、遅いほうのブロックをBL2とし、上記BL1、BL2にそれぞれ属し、互いに隣接している信号線をそれぞれSL1、SL2とすると、一水平期間内に、その行で、BL1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、SL2への上記データ信号の印加を開始する構成である。

## 【 0 1 8 9 】

これにより、SL2への上記データ信号の印加によってブロックBL1は電位の突き上げを受けて電位が揺動するが、その後、正規の導通が行われ、BL1への正しい電位が印加されて揺動が修復されるので、ブロックの境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、伝送すべきデータに誤差が生じるのを、効果的に防止することができるという効果を奏する。

## 【 0 1 9 0 】

また、本発明のデータ伝送方法は、画像表示装置に対し、上記ブロックのうち



の少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをB L 1、遅いほうのブロックをB L 2とし、上記B L 1、B L 2にそれぞれ属し、互いに隣接している信号線をそれぞれS L 1、S L 2とすると、一水平期間内に、その行で、B L 1への、上記データ信号を印加するための導通である正規の導通としての上記データ信号の印加終了時期に先立って、S L 2への上記データ信号の印加を開始する構成である。

## 【0191】

これにより、S L 2への上記データ信号の印加によってブロックB L 1は電位の突き上げを受けて電位が揺動するが、その後、正規の導通が行われ、B L 1への正しい電位が印加されてこの揺動が修復されるので、画像表示装置において、ブロックの境界線上の信号線が、隣接する信号線との間の寄生容量によって電位の揺動を受けた状態で電位を書き込まれることで、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができるという効果を奏する。

## 【0192】

また、本発明の画像表示装置は、上記のいずれかのデータ伝送方法を用いてデータ授受部からマトリクス上の画素にデータ信号を伝送する構成である。

## 【0193】

これにより、上記のように境界線上の画素が電位の揺動を受けた状態で書き込まれて、それが表示期間にわたって保持されるという現象が起こらないので、ブロックの境目に周辺と同じ電位を供給したにも関わらず周辺とは表示状態が異なるという不具合を軽減することができるという効果を奏する。

## 【0194】

また、本発明の信号線駆動回路は、上記画像表示装置に対し、時系列で連続的に入力されて信号線n本分にあたる1ブロック分の入力データを、n個のサンプリング部でサンプリングしてn個のサンプリングデータとしてそれぞれ蓄積後、該当する信号線へそれぞれ出力し、上記n個のサンプリング部をグループ分けし、上記ブロックのうち、同一の走査線について上記入力データのサンプリング順

序が2番目以降であるものの一つをB L 2とし、上記ブロックB L 2の最初のサンプリングデータD b 1が入力されるサンプリング部を有するグループをG R aとすると、上記グループG R aが、同一の走査線について上記ブロックB L 2よりもサンプリング時期が早いブロックのサンプリングデータを蓄積してから、遅くとも上記サンプリングデータD b 1が入力されるまでに、グループG R a内に、上記サンプリングデータD b 1を蓄積するための空のサンプリング部を用意するタイミングを規定するグループ制御信号をグループごとに生成する構成である。

## 【0195】

これにより、信号線への入力線がn本ある場合に、n番目のデータ信号をサンプリングした後に、再び1番目のデータ信号をサンプリングする前に、サンプリングが済んでいるデータ信号を信号線に転送またはラッチするための時間が不要になる。そのため、この転送またはラッチのための時間に応じてデータ信号を特に加工しておくことが不要になるので、簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができるという効果を奏する。

## 【0196】

また、本発明の信号線駆動回路は、上記の構成に加えて、上記ブロックのうちの少なくとも1組の、互いに隣接する信号線をそれぞれ有するブロック同士について、上記データ信号の印加終了時期が早いほうのブロックをB L 1、遅いほうのブロックをB L 2とすると、上記各サンプリング部が、上記サンプリングデータを蓄積する系統を複数個有しており、あるグループG R 1で、ブロックB L 1の上記サンプリングデータを各サンプリング部内の上記複数系統の一つにそれぞれ蓄積していき、その蓄積が終われば、次のサンプリングデータについて別のグループで蓄積を開始し、その後、上記グループG R 1で次のブロックB L 2のサンプリングデータの蓄積を開始するまでに、上記グループG R 1で、次の蓄積先となる系統を、現在蓄積データのない系統へと切り替えるタイミングを規定する信号を上記グループ制御信号として生成する構成である。

## 【0197】

これにより、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出

力を系統間で切り替えるものであっても、蓄積処理を行うグループを切り替えて他のグループでその間のデータ信号を確実にサンプリングすることができ、データの取りこぼしを確実に防ぐことができるので、上記の構成による効果に加え、より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができるという効果を奏する。

【0198】

また、本発明の信号線駆動回路は、上記の構成に加えて、上記グループの一つをGR1とすると、少なくともこのグループGR1でサンプリングデータを蓄積した後、別のグループでサンプリングデータを蓄積中に、上記グループGR1で蓄積したサンプリングデータを出力するタイミングを規定する信号を上記グループ制御信号として生成する構成である。

【0199】

これにより、1つのブロック内の各信号線に対して複数系統を設けて蓄積・出力を系統間で切り替える必要がなく、切り替えのための時間が不要であるので、上記の構成による効果に加え、より簡素な構成で、データを迅速に伝送でき、高速にデータを処理することができるという効果を奏する。

【図面の簡単な説明】

【図1】

アクティブマトリクス基板の等価回路をあらわす説明図である。

【図2】

アクティブマトリクス基板を用いた駆動方法によるタイミングチャートを示す説明図である。

【図3】

図1のアクティブマトリクス基板を用いた液晶表示装置の表示状態を示す説明図である。

【図4】

アクティブマトリクス基板を用いた駆動方法によるタイミングチャートを示す説明図である。

【図5】

信号線駆動回路の構成例を示すブロック図である。

【図 6】

図 5 の信号線駆動回路のタイミングチャートを示す説明図である。

【図 7】

信号線駆動回路の構成例を示すブロック図である。

【図 8】

図 7 の信号線駆動回路のタイミングチャートを示す説明図である。

【図 9】

信号線駆動回路の構成例を示すブロック図である。

【図 1 0】

図 9 の信号線駆動回路のタイミングチャートを示す説明図である。

【図 1 1】

導通制御部の概略の構成例を示すブロック図である。

【図 1 2】

導通制御部の概略の構成例を示すブロック図である。

【図 1 3】

グループ制御信号およびコントロール信号を生成する回路の概略の構成例を示すブロック図である。

【図 1 4】

出力バッファの概略の構成例を示すブロック図である。

【図 1 5】

出力バッファの概略の構成例を示すブロック図である。

【図 1 6】

D/A コンバータの概略の構成例を示すブロック図である。

【図 1 7】

D/A コンバータの概略の構成例を示すブロック図である。

【図 1 8】

信号線駆動回路の構成例を示すブロック図である。

【図 1 9】

図 1 8 の信号線駆動回路のタイミングチャートを示す説明図である。

【図 2 0】

2 ブロックを超える数のブロックに分けて信号線に画像信号を印加する構成例を示す説明図である。

【図 2 1】

アクティブマトリクス基板を用いた駆動方法によるタイミングチャートを示す説明図である。

【図 2 2】

アクティブマトリクス基板を用いた駆動方法によるタイミングチャートを示す説明図である。

【図 2 3】

アクティブマトリクス基板を用いた駆動方法によるタイミングチャートを示す説明図である。

【図 2 4】

アクティブマトリクス基板を用いた駆動方法によるタイミングチャートを示す説明図である。

【図 2 5】

光検出器の概略の構成例を示すブロック図である。

【図 2 6】

従来のアクティブマトリクス基板を用いた駆動方法によるタイミングチャートを示す説明図である。

【符号の説明】

- 1 信号線駆動回路（データ授受部）
- 2 走査線駆動回路
- 3、4、5 表示領域
- 7 信号線分岐部
- 1 1 第 1 ブロック
- 1 2 第 2 ブロック
- 1 5、1 6、1 7、1 8、1 9、2 0 サンプリング回路

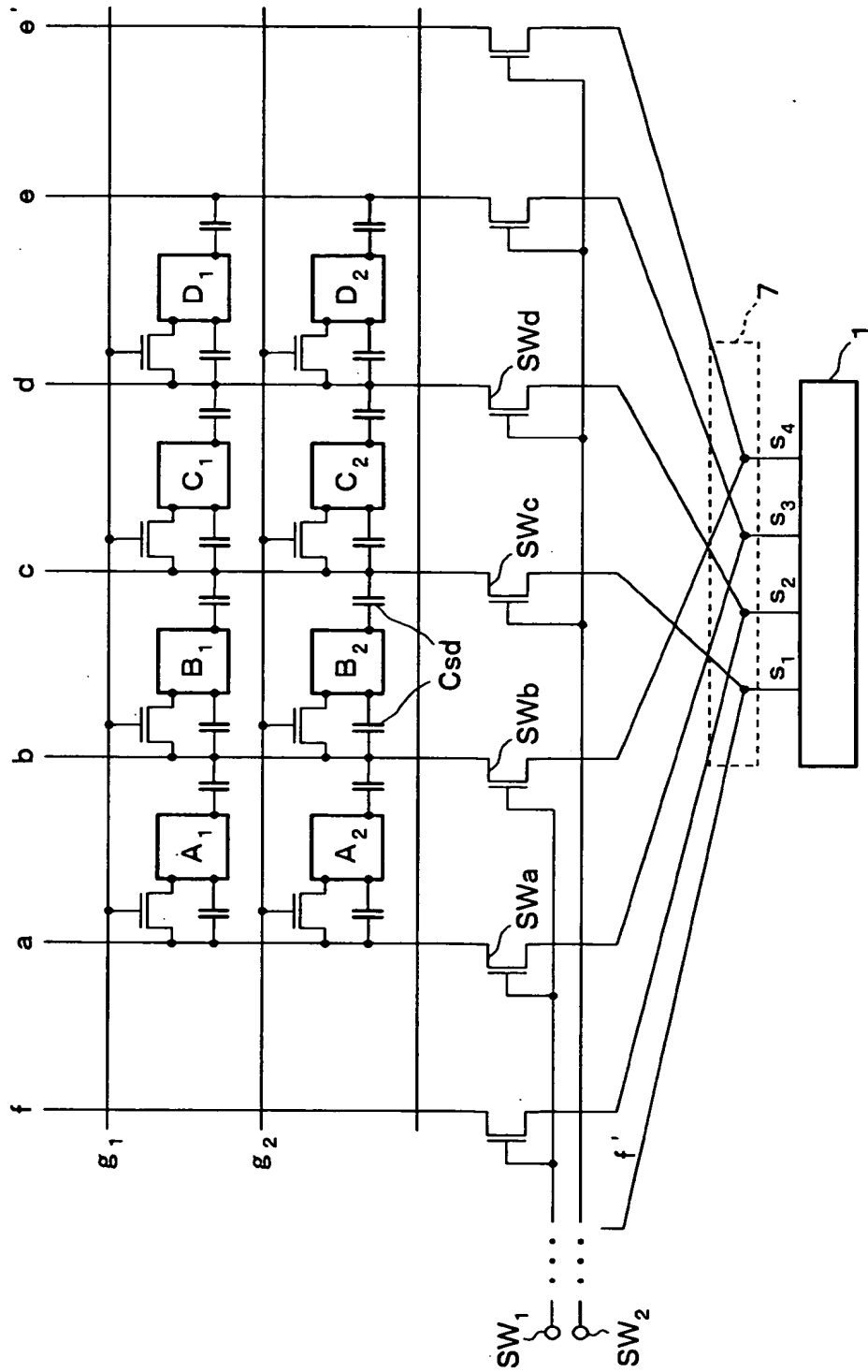
|  |                       |  |
|--|-----------------------|--|
| 2 1  | P L L 発振器             |  |
| 2 2  | H カウンタ                |  |
| 2 3  | S W <sub>1</sub> デコーダ |  |
| 2 4  | S W <sub>2</sub> デコーダ |  |
| 3 1  | H カウンタ                |  |
| 3 2  | S W <sub>1</sub> デコーダ |  |
| 3 3  | S W <sub>2</sub> デコーダ |  |
| 4 1  | H カウンタ                |  |
| 4 2  | V カウンタ                |  |
| 4 3  | C N T デコーダ            |  |
| 4 4  | C N T a デコーダ          |  |
| 4 5  | C N T b デコーダ          |  |
| 5 1  | O P アンプ               |  |
| 5 2  | 切り替えスイッチ              |  |
| 5 3  | レベルシフタ                |  |
| 6 1  | デジタルアナログ変換器           |  |
| 6 2  | 切り替えスイッチ              |  |
| 6 3  | レベルシフタ                |  |
| 7 1、7 2  | サンプリング回路              |  |
| 1 0 1  | 信号加工部（データ授受部）         |  |
| 1 0 2  | 光検出パネル                |  |
| 1 0 7  | パネル内スイッチ              |  |
| 1 0 3  | プリアンプ                 |  |
| 1 0 4  | メインアンプ                |  |
| 1 0 5  | アナログデジタル変換器           |  |
| 1 0 6  | ラッチ回路                 |  |
| 1 1 0  | データ保存器                |  |
| a、b、c、d、e、e'、f、f'  | 信号線                   |  |
| A <sub>1</sub> 、B <sub>1</sub> 、C <sub>1</sub> 、D <sub>1</sub> 、A <sub>2</sub> 、B <sub>2</sub> 、C <sub>2</sub> 、D <sub>2</sub> | 画素                    |  |

A S W A、A S W B、A S W C、A S W D、A S W S、A S W H アナログス  
 イッチ  
 B u 出力バッファ  
 C L K クロック  
 C N T a、C N T b グループ制御信号  
 C N T、C N T 0 コントロール信号  
 C s d 寄生容量  
 C<sub>SHA</sub>、C<sub>SHB</sub> サンプリングホールドコンデンサ  
 C<sub>S</sub> サンプリングコンデンサ  
 C<sub>H</sub> ホールドコンデンサ  
 D A C D/Aコンバータ  
 D A T データ線  
 g<sub>1</sub>、g<sub>2</sub> 走査線  
 H S Y 水平同期信号  
 L S a、L S b グループ制御信号  
 R L 基準電位  
 s<sub>1</sub>、s<sub>2</sub>、s<sub>3</sub>、s<sub>4</sub> 出力線  
 S A M<sub>1</sub>、S A M<sub>n</sub> サンプリング信号  
 S W<sub>1</sub>、S W<sub>2</sub> 制御配線  
 S W a、S W b、S W c、S W d 信号線スイッチング素子  
 V d 充電電圧  
 V S Y 垂直同期信号

【書類名】

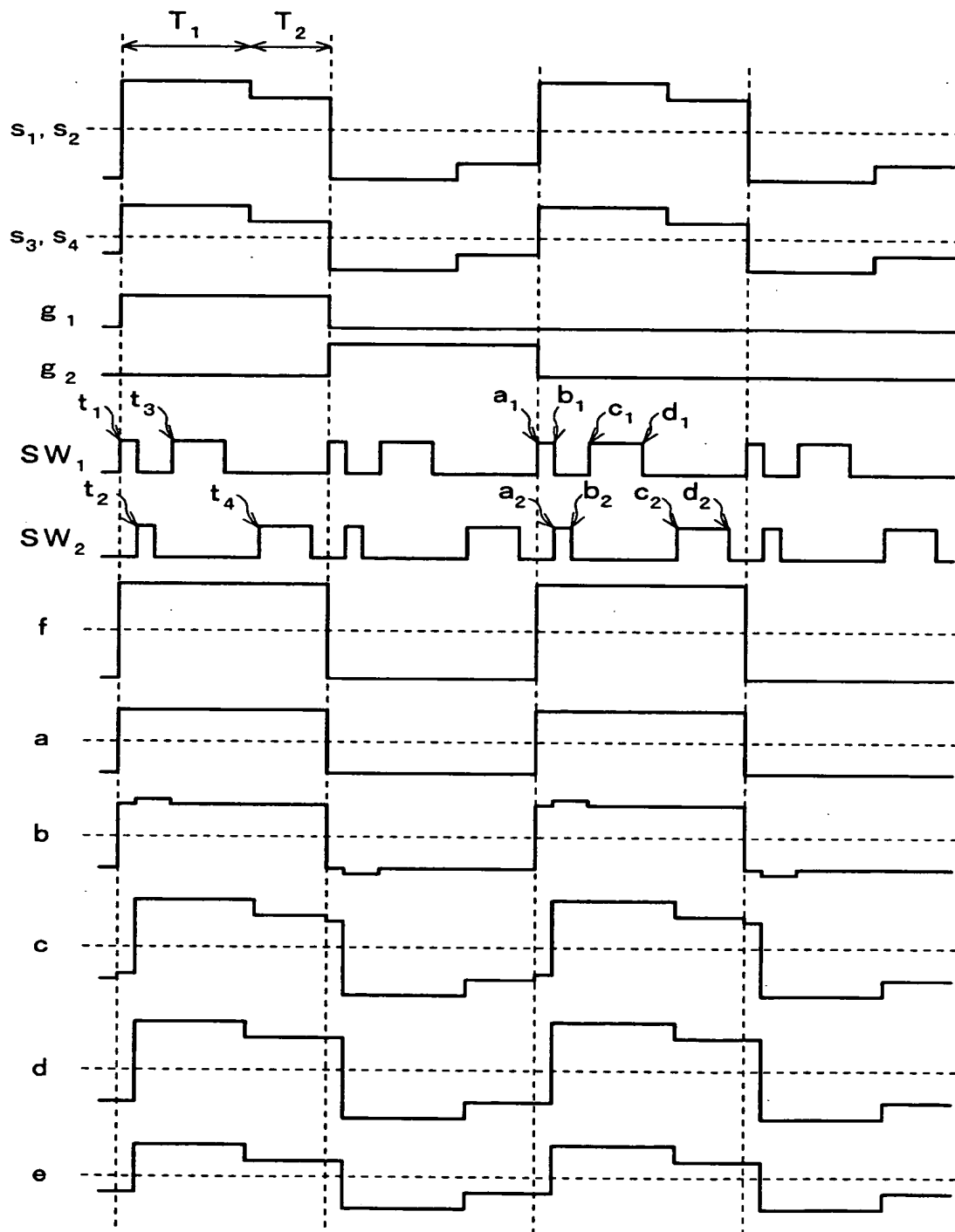
図面

【図 1】

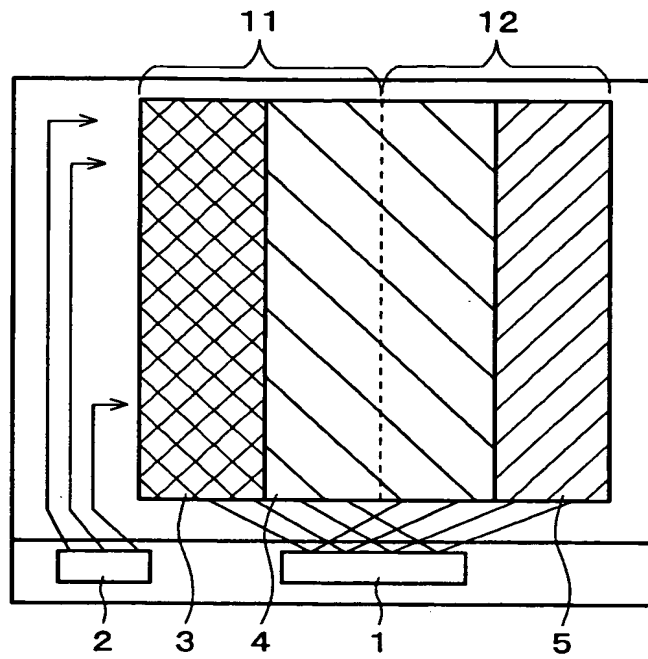




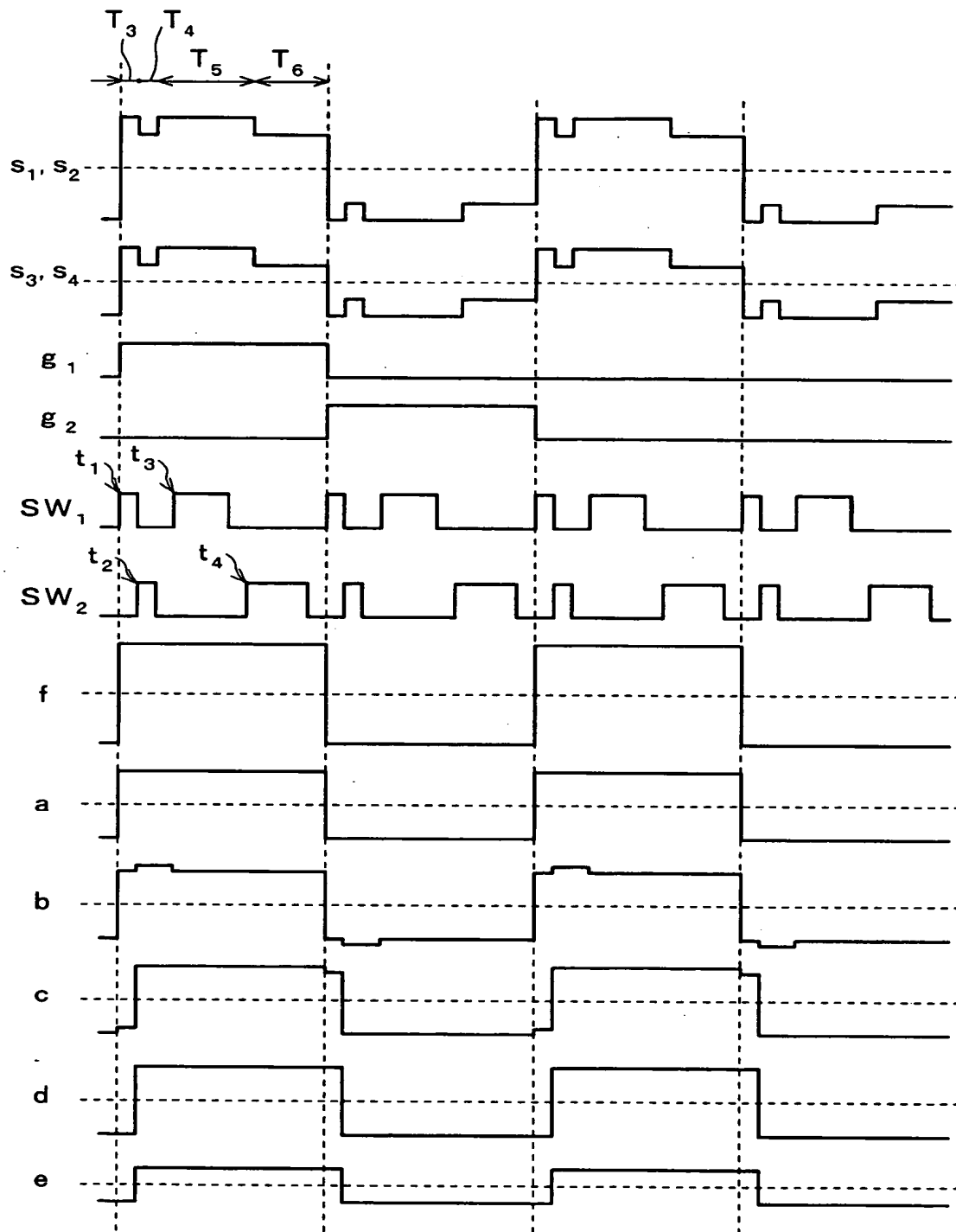
【図 2】



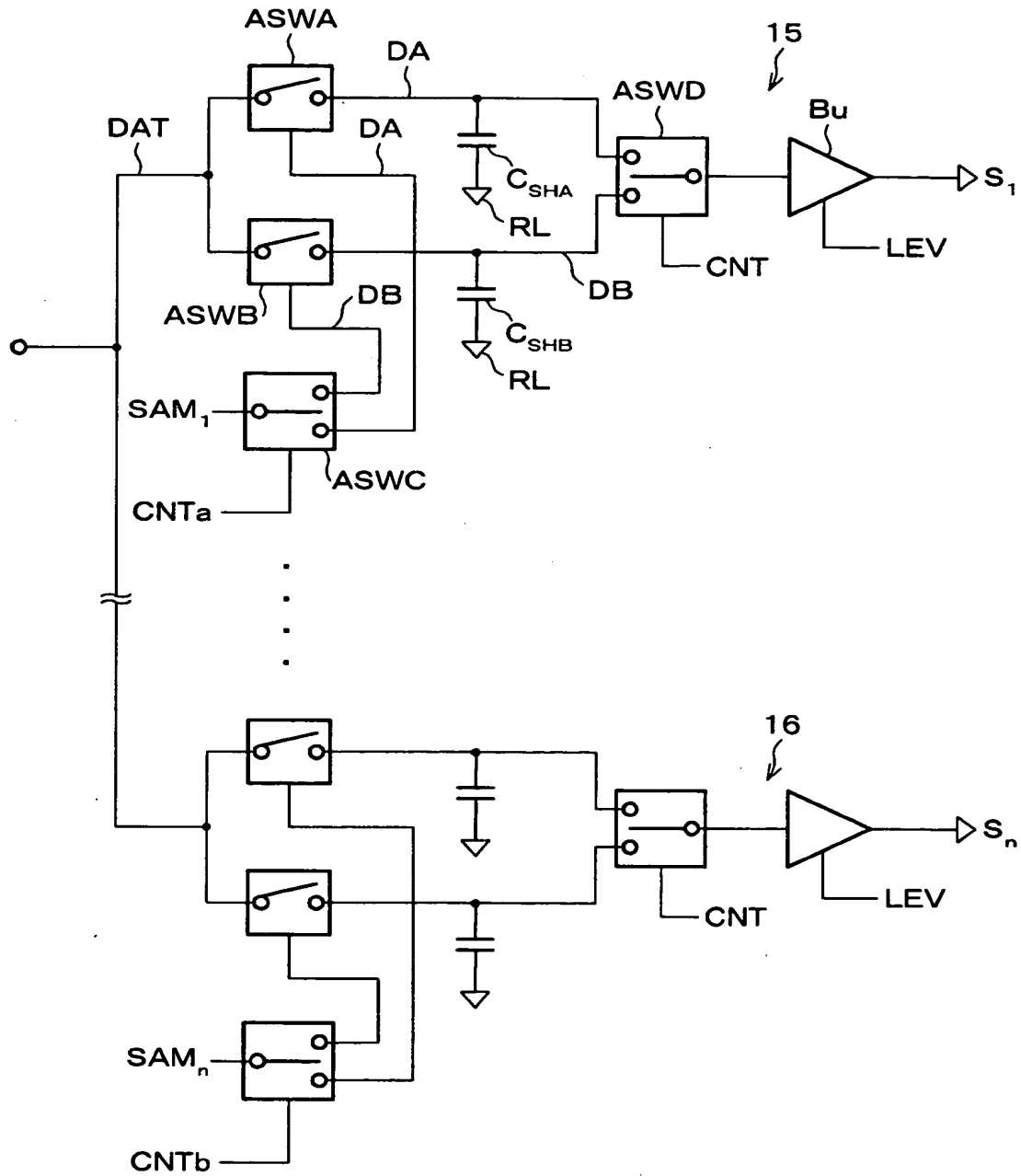
【図 3】



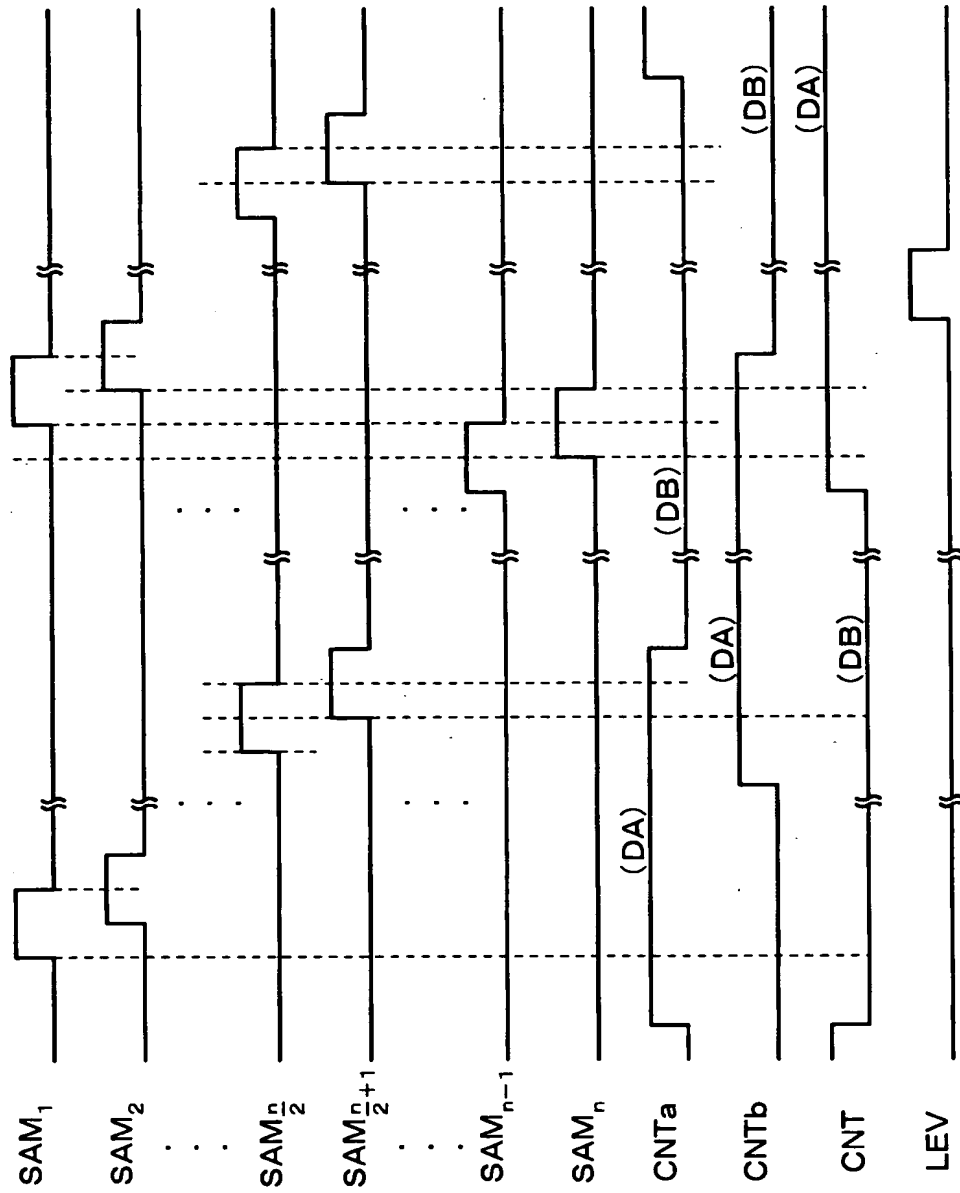
【図 4】



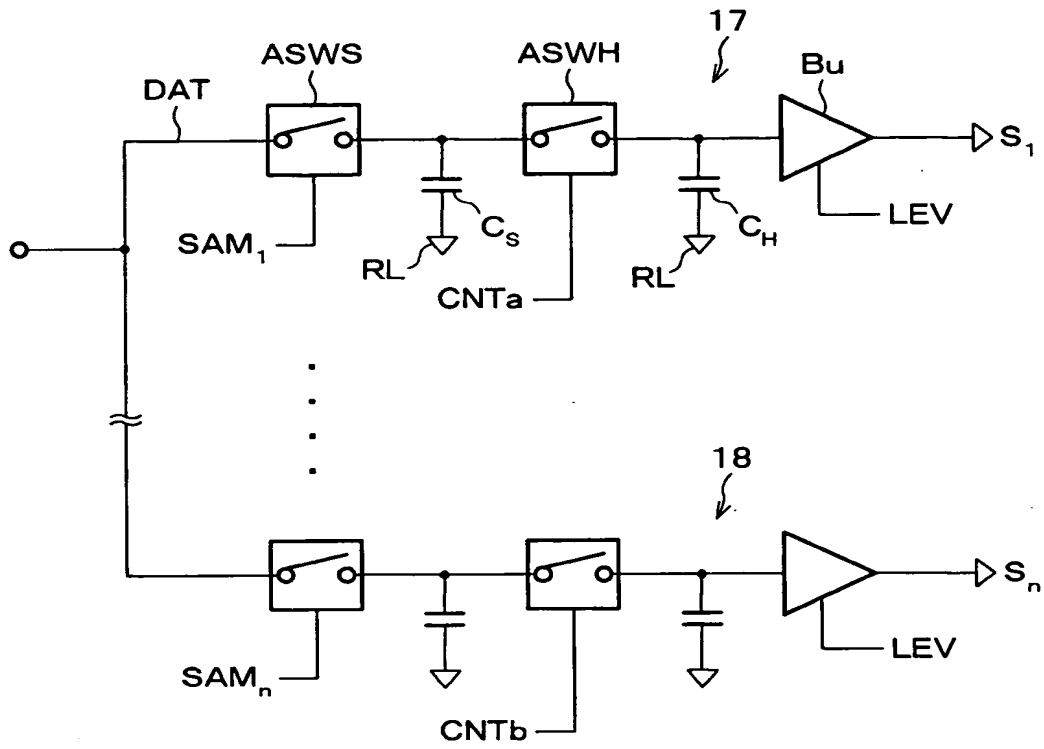
【図 5】



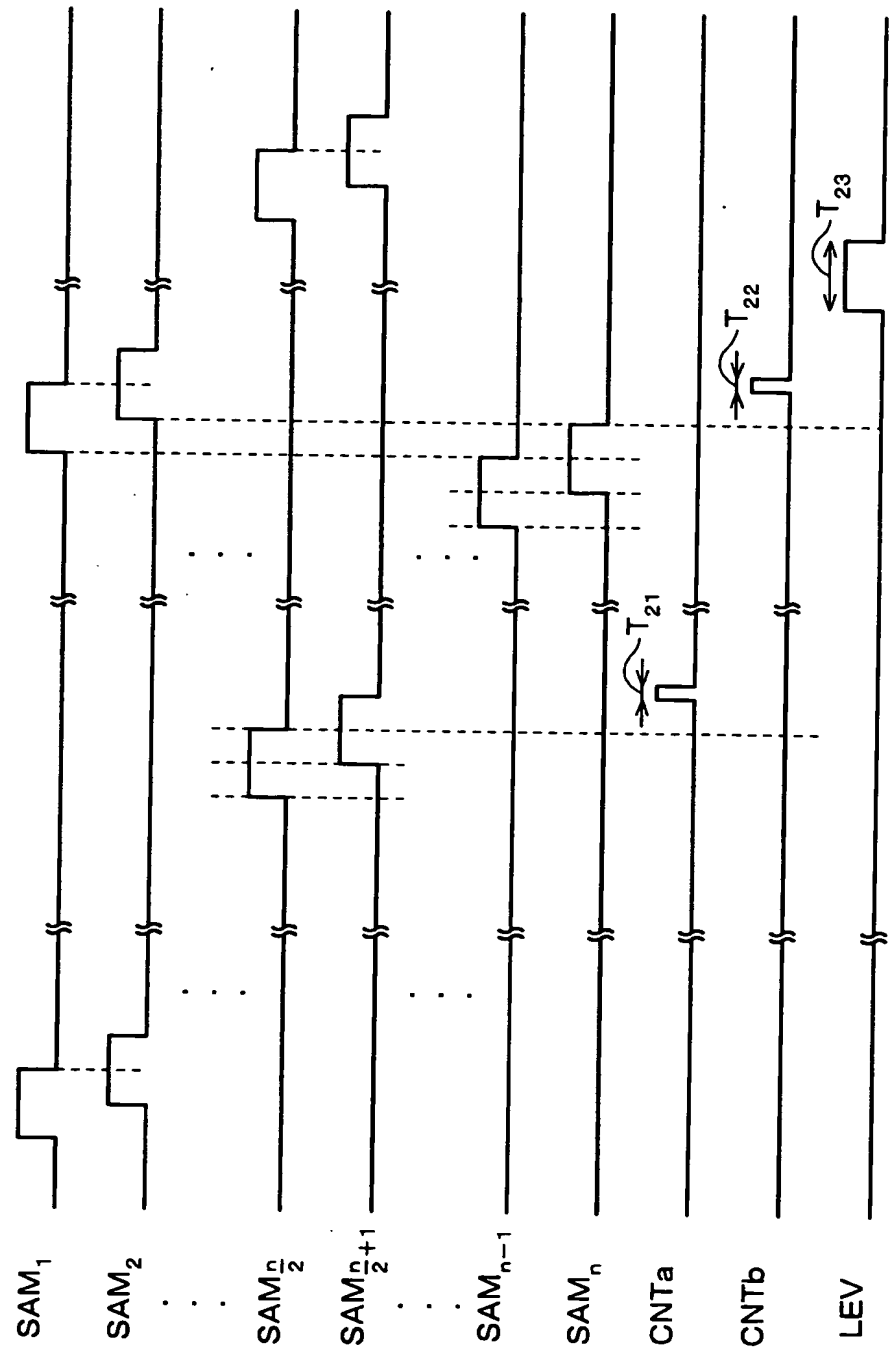
【図 6】



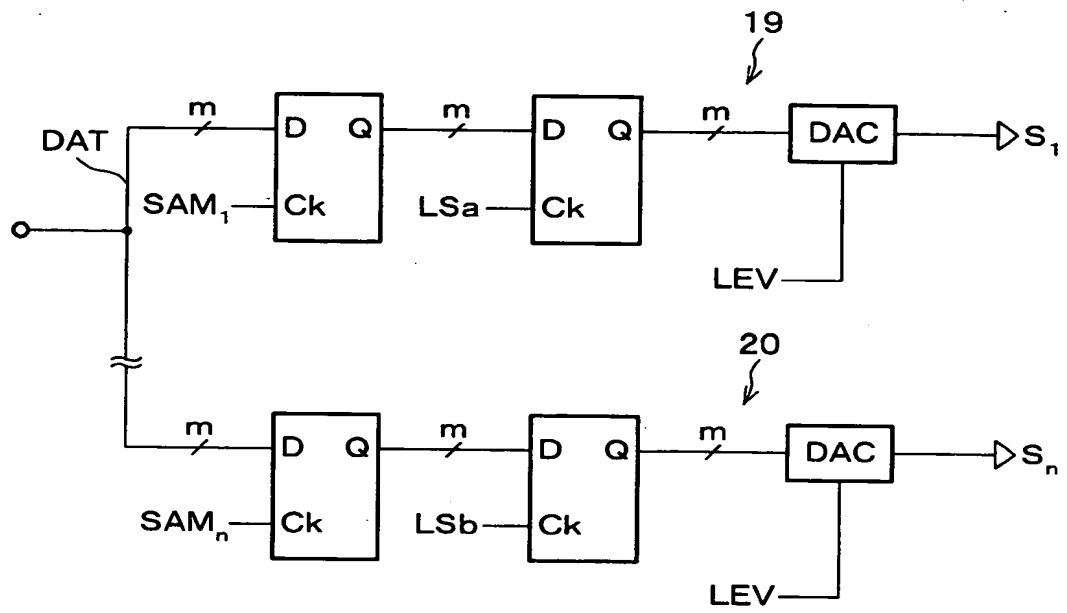
【図 7】



【図 8】

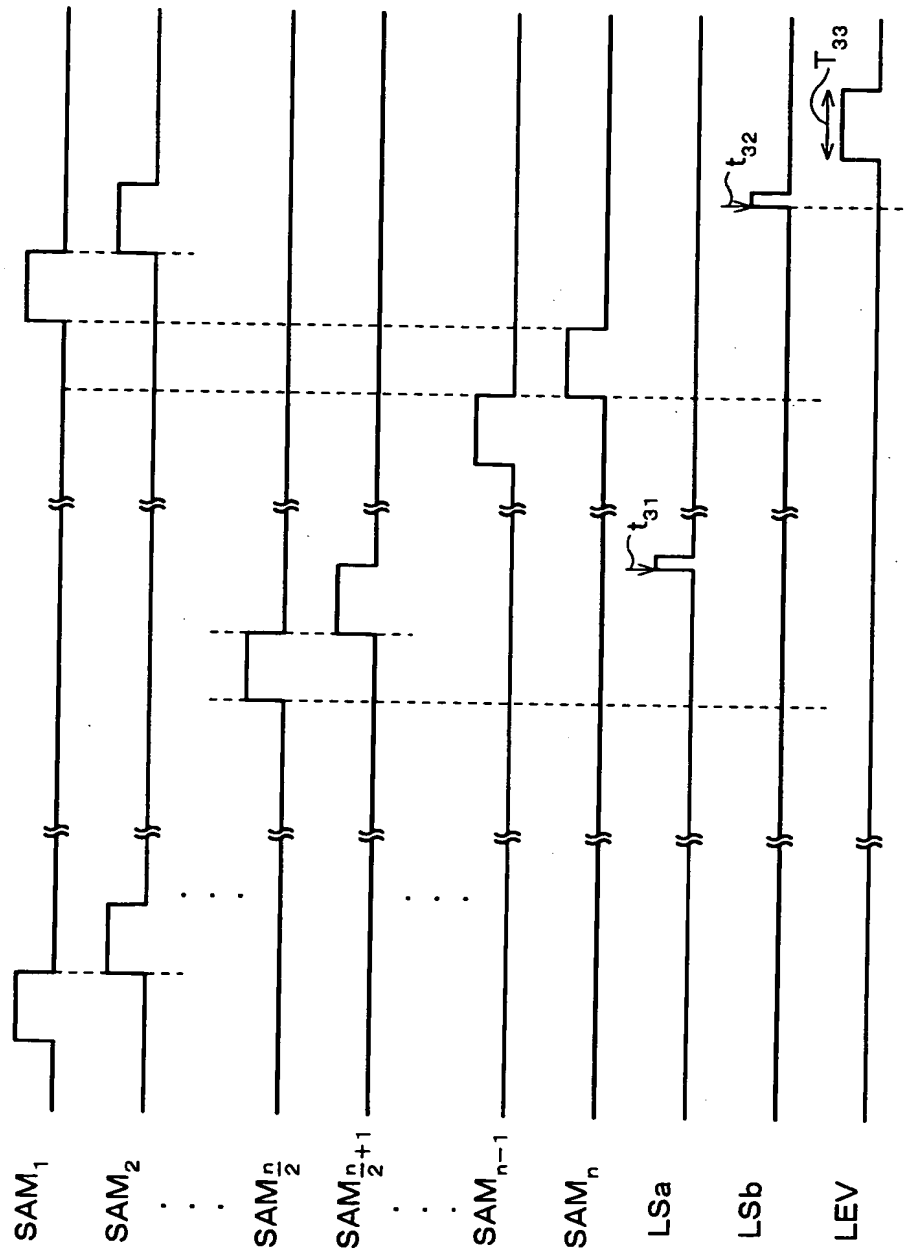


【図 9】

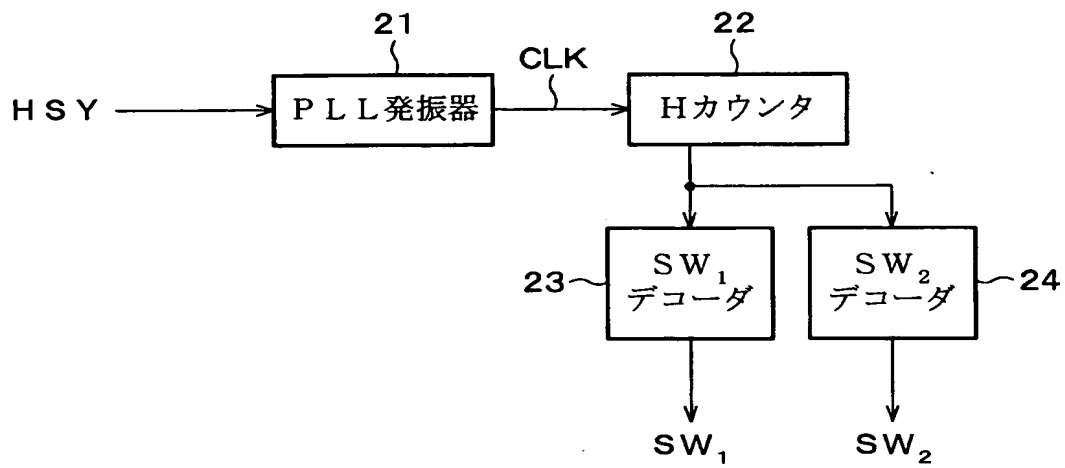




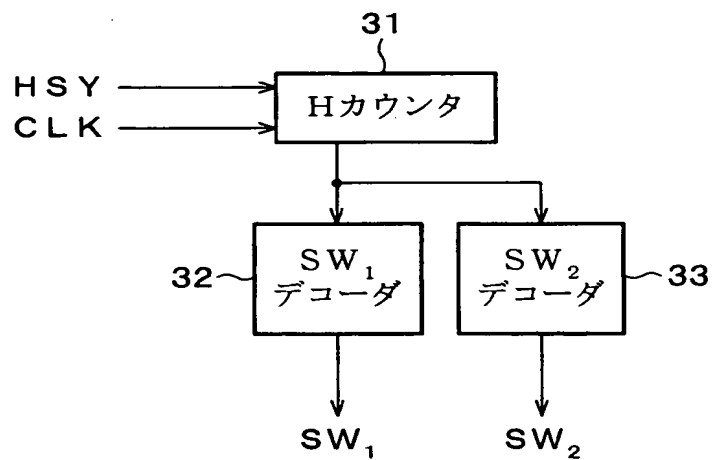
【図 10】



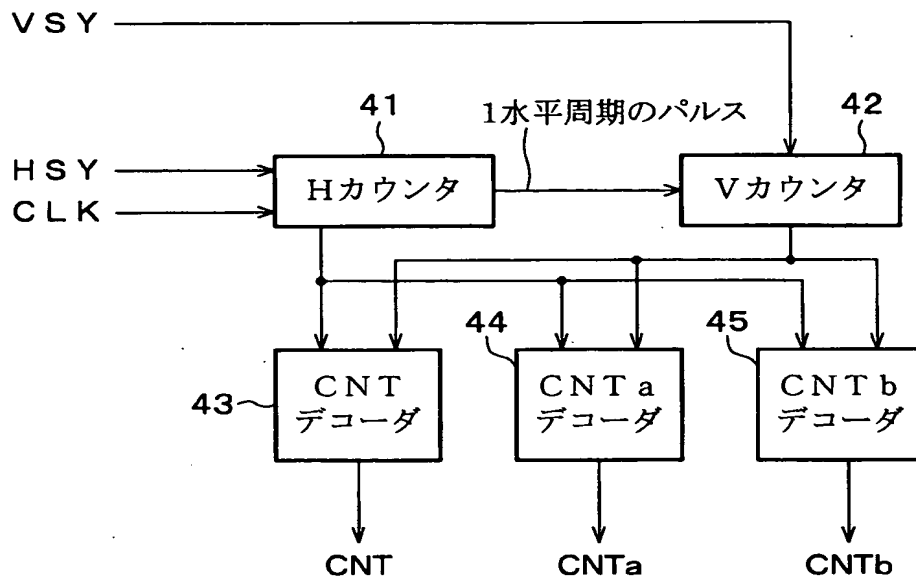
【図 1 1】



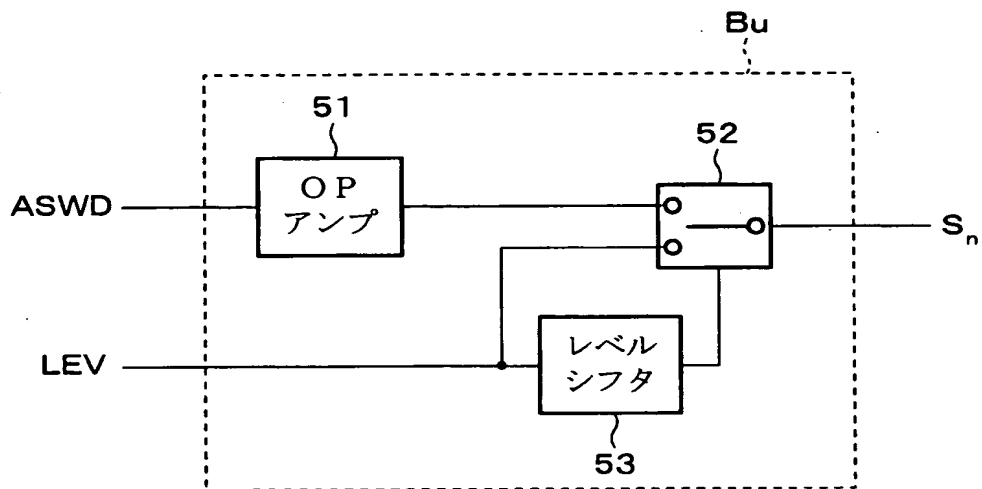
【図 1 2】



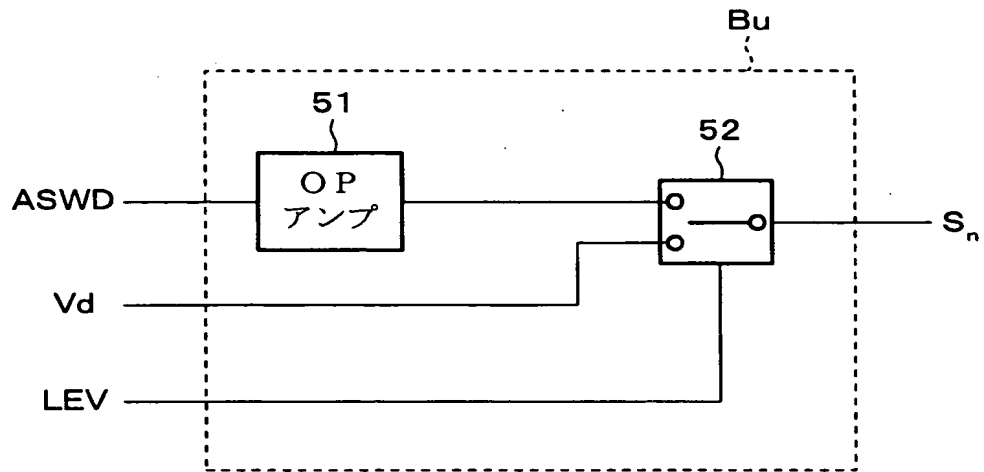
【図13】



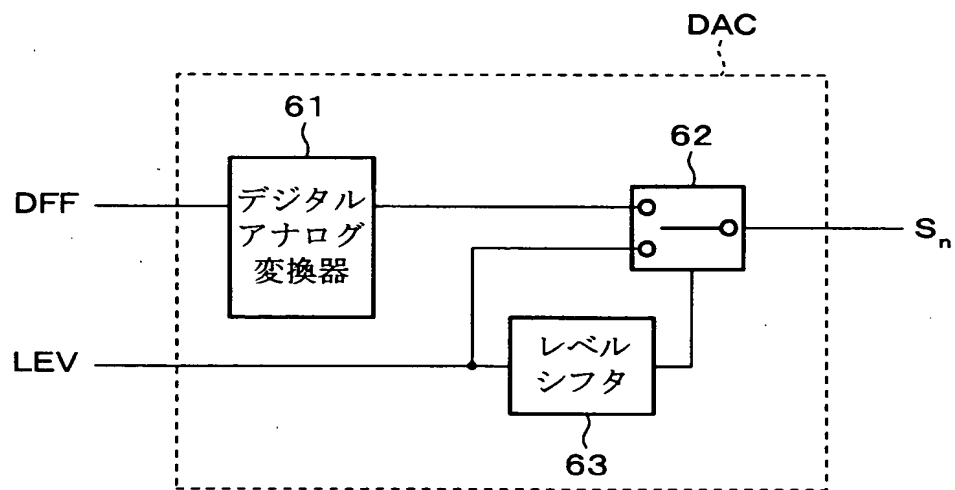
【図14】



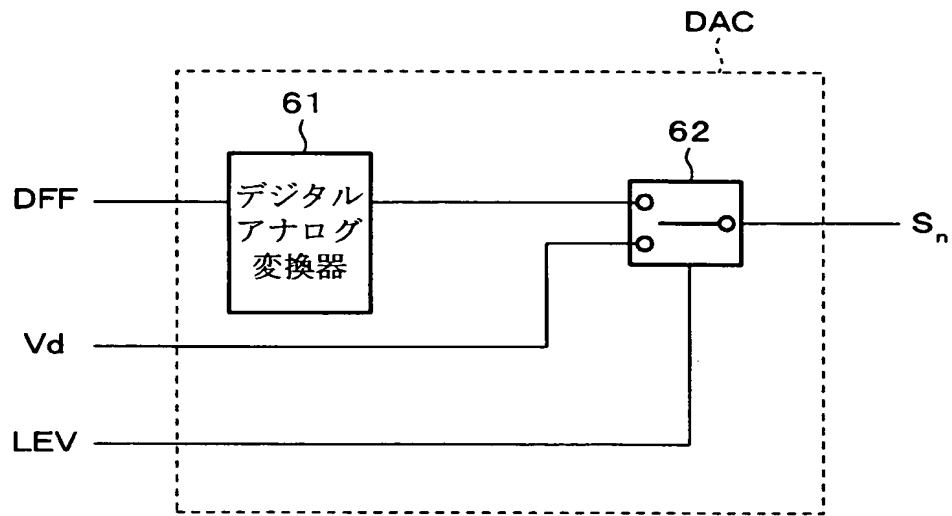
【図 15】



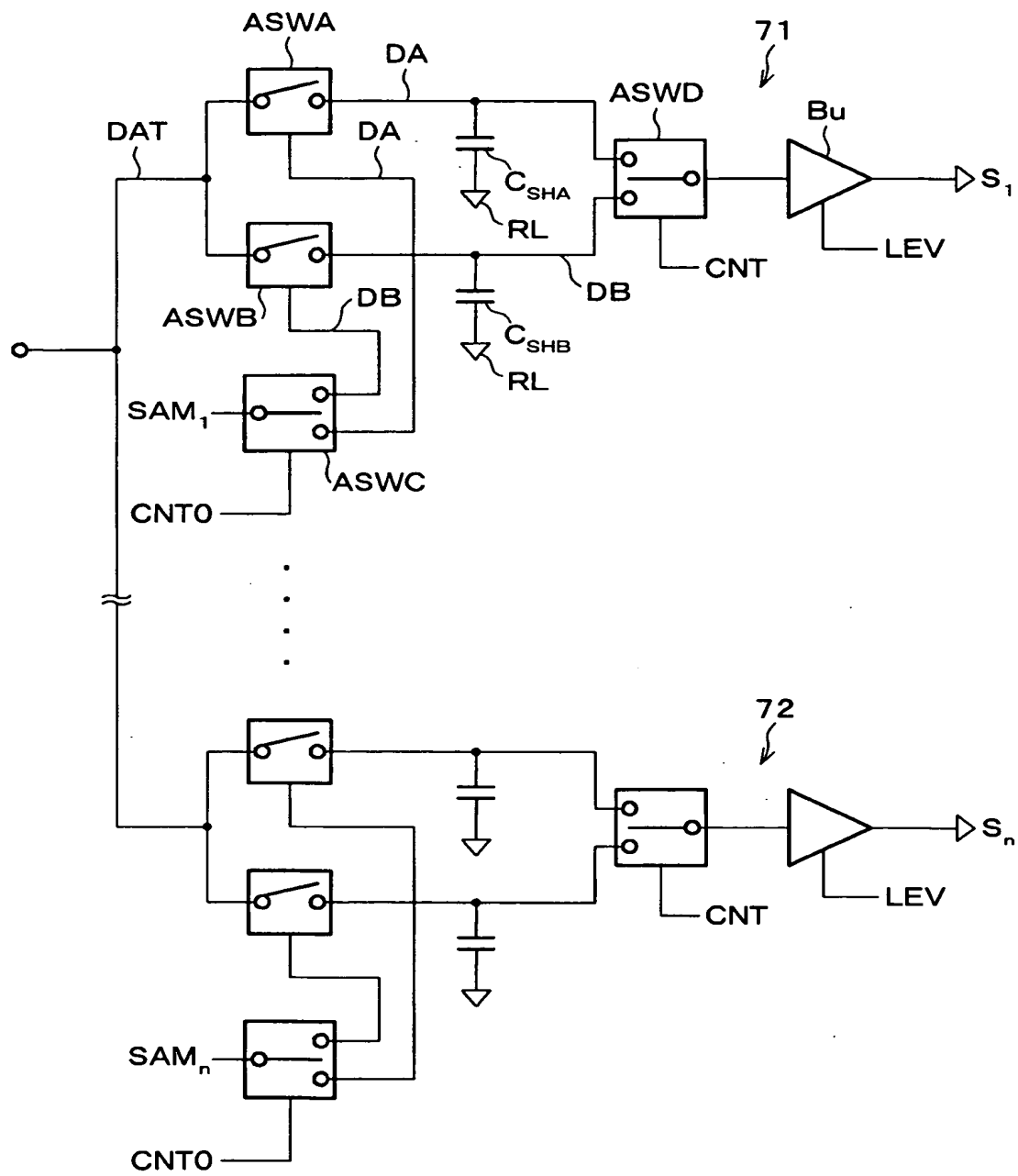
【図 16】



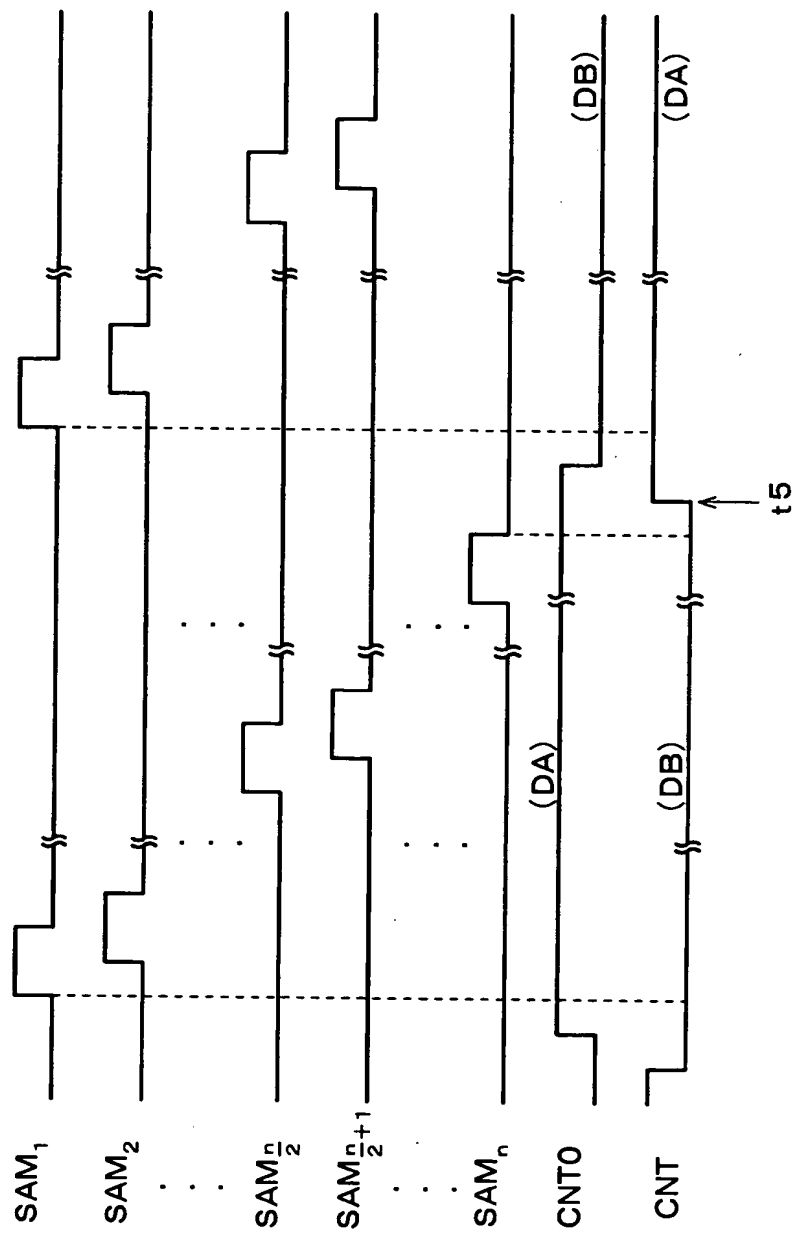
【図 1 7】



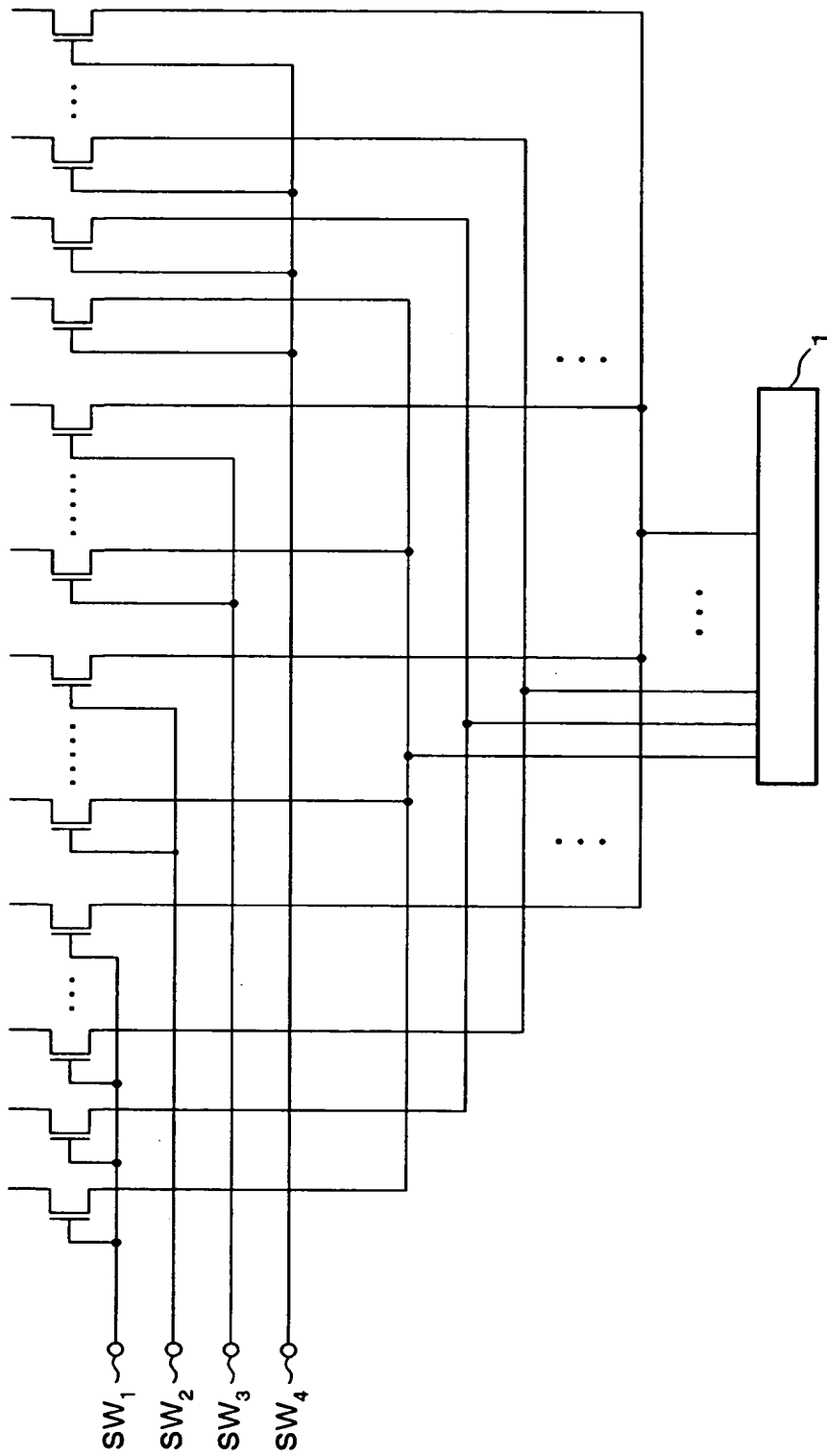
【図 18】



【図 19】

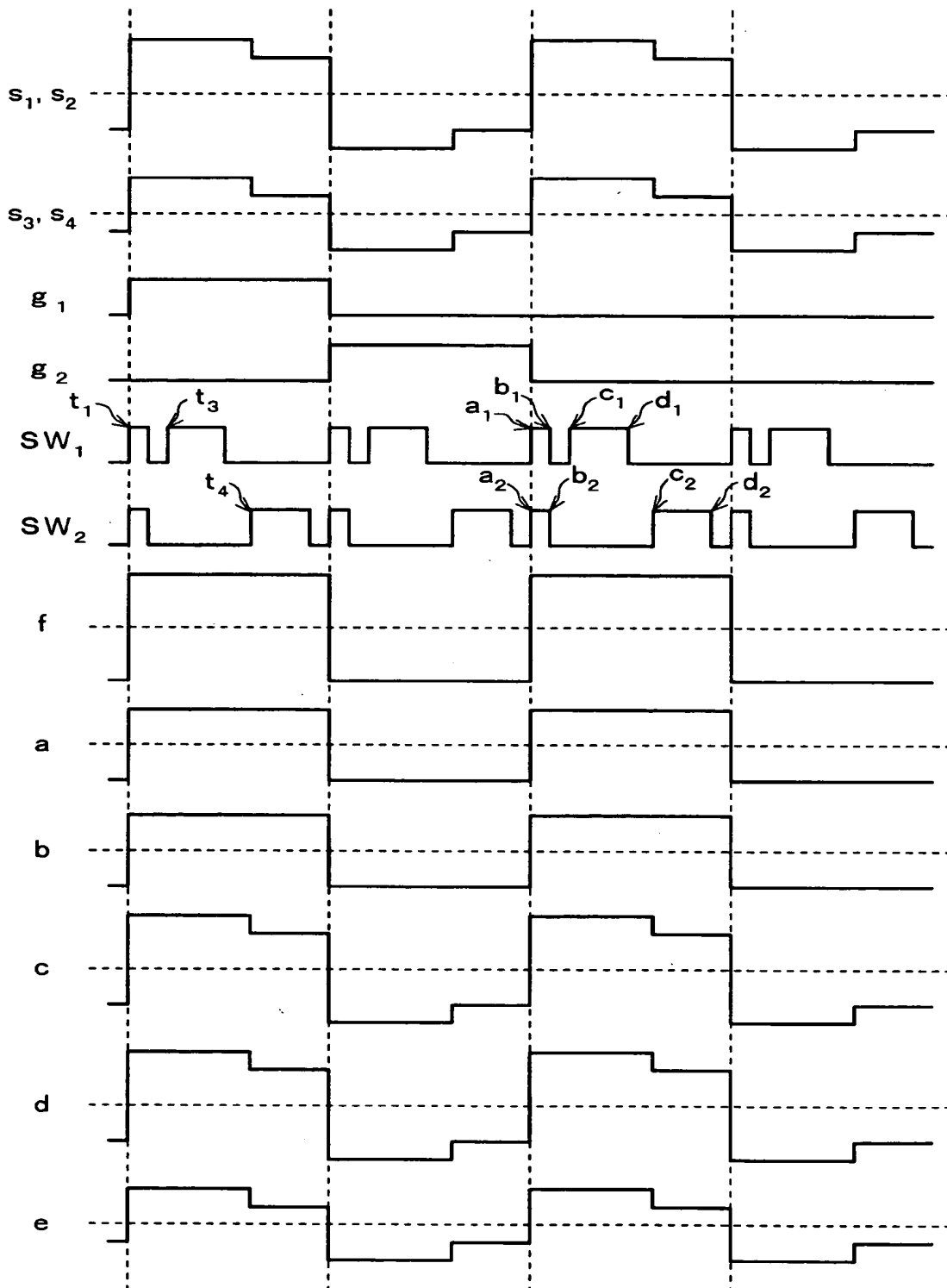


【図 2 0】

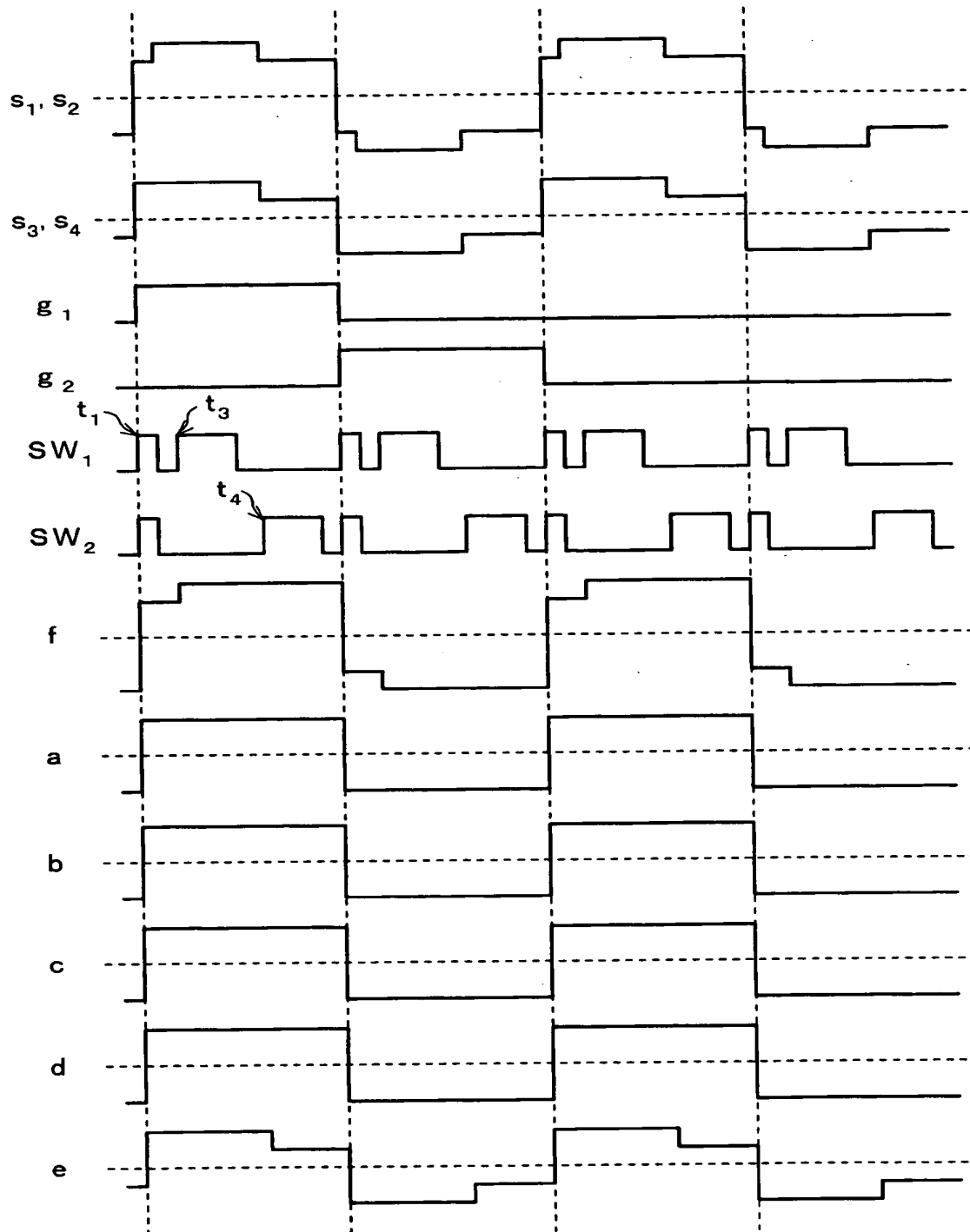




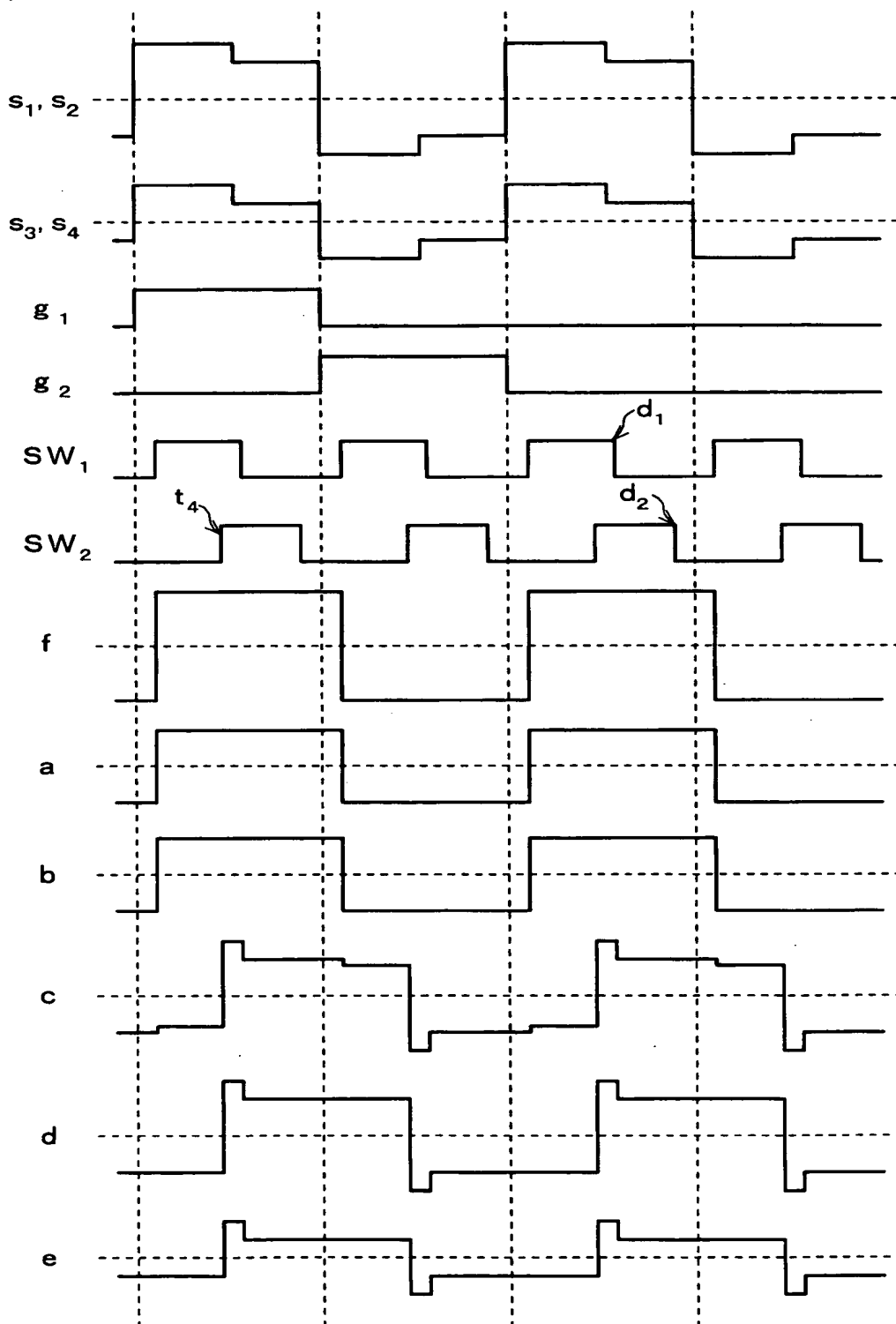
【図 21】



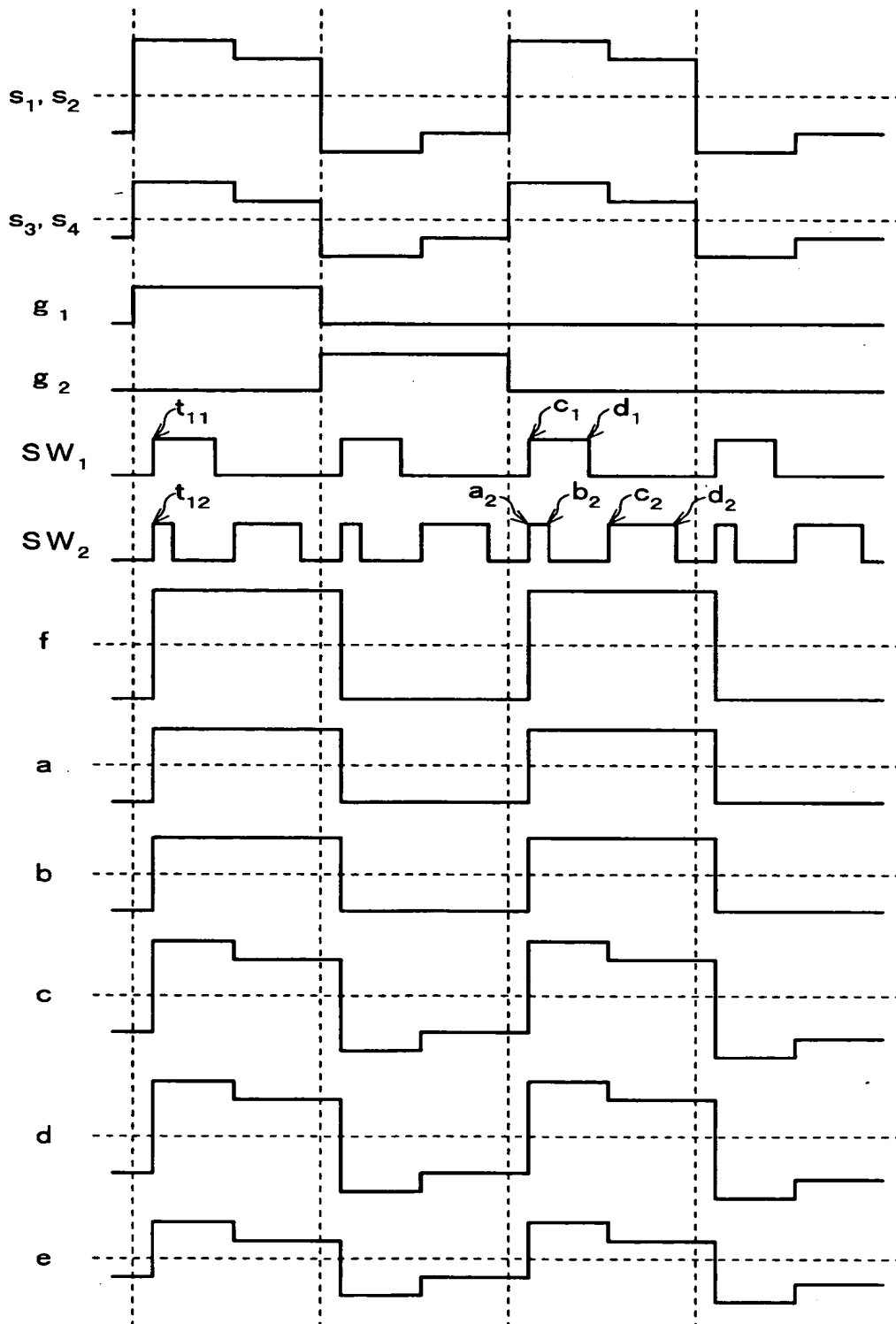
【図 22】



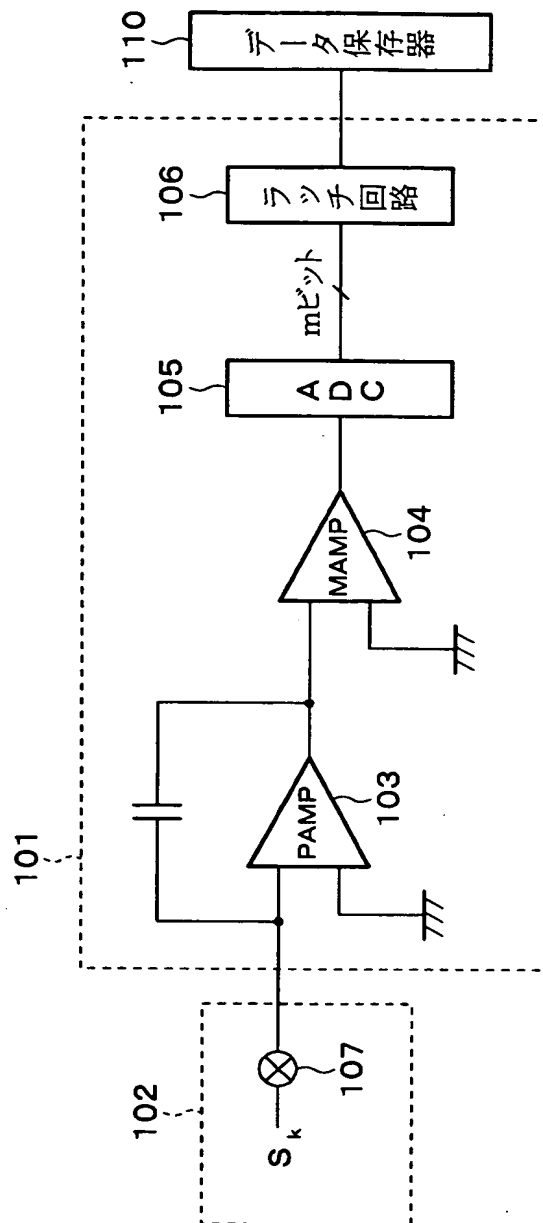
【図 23】



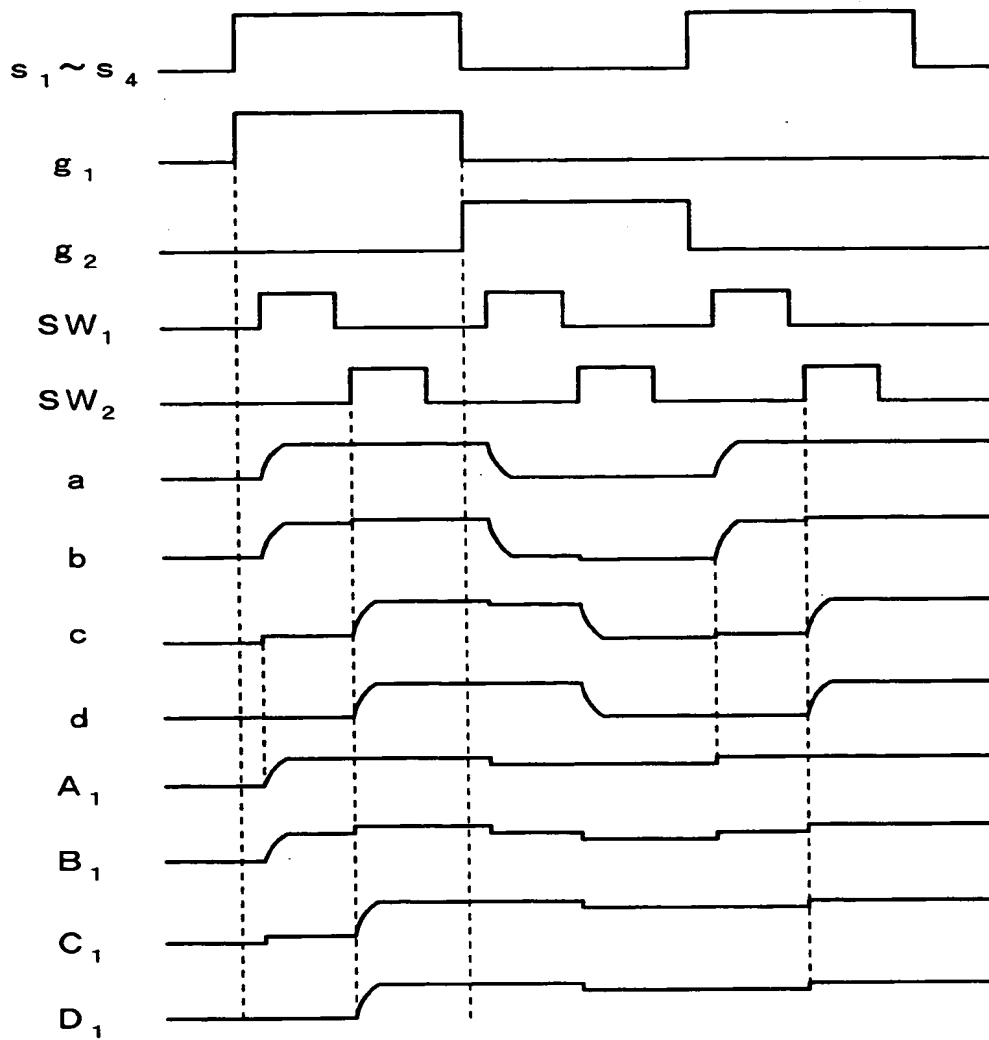
【図 24】



【図 2 5】



【図 26】



【書類名】 要約書

【要約】

【課題】 ブロックごとにデータを伝送する際に、ブロックの境界線上の信号線が電位の揺動を受けることで、ブロックの境目と周辺とで信号線の電位の状態が異なる不具合を軽減する。

【解決手段】 各信号線が、正規の極性反転時期の前に、予行の極性反転時期に入り、あらかじめ極性反転される。この予行の極性反転によりブロックの境界線上の信号線は電位の突き上げを受けて一旦電位が揺動するが、その後、正規の極性反転時期を迎えることで正しい電位が印加され、揺動が修復される。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社